

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

011503627 **Image available**

WPI Acc No: 1997-481541/199745

XRPX Acc No: N97-401379

Semiconductor circuit for electronic controller CAN two-wire bus in
vehicle - has monolithic structure that has voltage regulator with
transceiver coupled to interfaces to bus

Patent Assignee: DAIMLER-BENZ AG (DAIM); DAIMLERCHRYSLER AG (DAIM);
MERCEDES-BENZ AG (DAIM)

Inventor: HANF P; MINUTH J; SETZER J; REEB M

Number of Countries: 020 Number of Patents: 011

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19611942	A1	19971002	DE 1011942	A	19960326	199745 B
WO 9736398	A1	19971002	WO 96EP5087	A	19961119	199745
EP 890241	A1	19990113	EP 96939841	A	19961119	199907
			WO 96EP5087	A	19961119	
JP 2000504517	W	20000411	WO 96EP5087	A	19961119	200029
			JP 97533959	A	19961119	
KR 2000005044	A	20000125	WO 96EP5087	A	19961119	200061
			KR 98707669	A	19980926	
EP 890241	B1	20010530	EP 96939841	A	19961119	200131
			WO 96EP5087	A	19961119	
DE 59607020	G	20010705	DE 507020	A	19961119	200139
			EP 96939841	A	19961119	
			WO 96EP5087	A	19961119	
ES 2159363	T3	20011001	EP 96939841	A	19961119	200167
US 6438462	B1	20020820	WO 96EP5087	A	19961119	200257
			US 98161593	A	19980928	
KR 319286	B	20020422	WO 96EP5087	A	19961119	200269
			KR 98707669	A	19980926	
JP 3343685	B2	20021111	WO 96EP5087	A	19961119	200280
			JP 97533959	A	19961119	

Priority Applications (No Type Date): DE 1011942 A 19960326

Cited Patents: DE 3801478; GB 2288522; WO 9009713

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

DE 19611942	A1	21	G06F-013/40		
-------------	----	----	-------------	--	--

WO 9736398	A1	G 220	H04L-012/40		
------------	----	-------	-------------	--	--

Designated States (National): JP KR US

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LU MC

NL PT SE

EP 890241	A1	G	H04L-012/40	Based on patent	WO 9736398
-----------	----	---	-------------	-----------------	------------

Designated States (Regional): AT DE ES FR GB IT SE

JP 2000504517	W	188	H04L-012/40	Based on patent	WO 9736398
---------------	---	-----	-------------	-----------------	------------

KR 2000005044	A		H04L-012/40	Based on patent	WO 9736398
---------------	---	--	-------------	-----------------	------------

EP 890241	B1	G	H04L-012/40	Based on patent	WO 9736398
-----------	----	---	-------------	-----------------	------------

Designated States (Regional): AT DE ES FR GB IT SE

DE 59607020	G		H04L-012/40	Based on patent	EP 890241
-------------	---	--	-------------	-----------------	-----------

Based on patent WO 9736398

ES 2159363	T3		H04L-012/40	Based on patent	EP 890241
------------	----	--	-------------	-----------------	-----------

US 6438462	B1		G06F-001/26	Cont of application	WO 96EP5087
------------	----	--	-------------	---------------------	-------------

KR 319286	B		H04L-012/40	Previous Publ. patent	KR 2000005044
-----------	---	--	-------------	-----------------------	---------------

Based on patent WO 9736398
JP 3343685 B2 79 H04L-012/40 Previous Publ. patent JP 200004517
Based on patent WO 9736398

Abstract (Basic): DE 19611942 A

The electronic control unit has a microcontroller containing a battery coupled voltage regulator (20) that delivers a supply voltage (VCC). The regulator is coupled to a computer area network, CAN, transceiver (100) that has receive and transmit functions for connection to a communication bus.

A control interface (165), wake-up control stage (165) and a watchdog reset stage (164) are integrated into the monolithic structure.

USE/ADVANTAGE - Electronic control systems. Compact, cost effective.

Dwg.1/8

Title Terms: SEMICONDUCTOR; CIRCUIT; ELECTRONIC; CONTROL; CAN; TWO; WIRE; BUS; VEHICLE; MONOLITHIC; STRUCTURE; VOLTAGE; REGULATE; TRANSCEIVER; COUPLE; INTERFACE; BUS

Derwent Class: Q17; Q52; T01; X22

International Patent Class (Main): G06F-001/26; G06F-013/40; H04L-012/40

International Patent Class (Additional): B60R-016/02; F02D-041/26;

G06F-011/30; G08B-023/00; H02H-007/00; H04L-012/26

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T01-G05A; T01-H07C5A; T01-J07C; X22-X

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 196 11 942 A 1

51 Int. Cl.⁶:
G 06 F 13/40
G 06 F 1/26
F 02 D 41/26
B 60 R 16/02
// G08C 15/06

21 Aktenzeichen: 196 11 942.1
22 Anmeldetag: 26. 3. 96
43 Offenlegungstag: 2. 10. 97

DE 196 11 942 A 1

71 Anmelder:

Daimler-Benz Aktiengesellschaft, 70567 Stuttgart,
DE

72 Erfinder:

Hanf, Peter, Dipl.-Ing. (FH), 73035 Göppingen, DE;
Minuth, Jürgen, Dipl.-Ing., 73054 Eisligen, DE;
Setzer, Jürgen, 75428 Illingen, DE

56 Entgegenhaltungen:

WOLF, A.: CAN-Anschluß für C166-Architektur. In:
Design & Elektronik 14/15 vom 19.7.1994, S. 36, 38,
39;
MURARI, B.: The Applications of Smart Power
Technology. In: GME-Fachbericht 6 der GME-Fach-
tagung in Bad Nauheim vom 6. bis 7.2.1990,
vde-verlag gmbh, Berlin..., S. 115-121;
Elektronik plus 6/1993, S. 51-53;
Elektronik 17/1991, S. 96-101;

Prüfungsantrag gem. § 44 PatG ist gestellt

64 Halbleiterschaltkreis für ein elektronisches Steuergerät

57 Die Erfindung betrifft einen Halbleiterschaltkreis für ein elektronisches Steuergerät mit wenigstens einem Mikrocontroller, umfassend einen Spannungsregler zum Bereitstellen aus einer ersten Versorgungsspannung (VBATT) einer zweiten Versorgungsspannung (VCC) für den wenigstens einen Mikrocontroller sowie für mit diesem kooperative Schaltkreise des Steuergerätes.
Erfindungsgemäß umfaßt der Schaltkreis als Monolith neben dem Spannungsregler noch eine Transceiver-Funktion mit Sende- und Empfangsmitteln zur Kopplung eines Mikrocontrollers an einen Zweidrahtbus.
Fortbildungsgemäß kann dieser Monolith des weiteren noch Watchdog-Funktionen, verschiedene Weck-Funktionen und ein Interface umfassen, über das ein serieller Datenaustausch mit dem wenigstens einen Mikrocontroller möglich ist. Des weiteren ist eine Programmierbarkeit aller wesentlicher Funktionen bzw. deren Grenzwerte und/oder Zeitverhalten vorgesehen sowie die Speicherbarkeit entsprechender Programmierungsdaten in einem optional mitumfaßten nichtflüchtigen Speicher. Der Schaltkreis kann kostengünstig in einer homogenen Hochvolttechnologie sehr robust und widerstandsfähig gegen allfällige Stör- und Überlasteinwirkungen im industriellen und Fahrzeugumfeld hergestellt werden und eignet sich insoweit ganz besonders zur Verwendung in Verkehrsmitteln.

DE 196 11 942 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 08. 97 702 040/185

31/25

Beschreibung

Die Erfindung bezieht sich auf ein Halbleiterbauelement für ein elektronisches Steuergerät nach der Gattung des Anspruchs 1.

Sowohl im industriellen Bereich als auch bei Verkehrsmitteln setzen sich zunehmend Steuerungstechniken vorzugsweise auf Zweidraht-Bus-Basis, beispielsweise CAN-Basis durch (CAN = Microcontroller Area Network). Dabei kommunizieren eine Vielzahl von elektronischen Steuergeräten miteinander.

Solche Steuergeräte erfüllen ihre Steuerungsaufgabe durchweg mittels eines Microcontrollers. Für die Kommunikation über den Bus sind besondere Busprotokoll-Chips bzw. Protokoll-Funktionalitäten vorgesehen, die bei für derlei Anwendungen bereits spezialisierten Microcontrollern bereits monolithisch mitintegriert sein können und als kommunikatives Sende-/Empfangs-Binglied zwischen Bus und Controller fungieren. Sie entlasten den Microcontroller des betreffenden Gerätes von kommunikationsprotokollarisch festgelegten Programmroutinen und erhöhen auf diese Weise dessen Verfügbarkeit und Durchsatz für die eigentliche Steuerungapplikation beträchtlich.

Sowohl der Microcontroller als auch die Busprotokollfunktion benötigen eine innerhalb sehr enger Grenzen zu haltende Betriebsspannung, die in der Regel mittels eines vom Steuergerät mitumfaßten Spannungsreglers aus einem übergeordneten Potential abgeleitet wird. Werden entsprechende Steuergeräte beispielsweise in Verkehrsmitteln eingesetzt, müssen solche Spannungsregler innerhalb weiter Temperaturbereiche besonders betriebssicher und vor allem widerstandsfähig gegen Überspannungen und hochfrequente Störeinstrahlung sein. Nicht alle Realisierungstechnologien für Halbleiterschaltkreise eignen sich gleichermaßen für demgemäß zu optimierende Widerstandsfähigkeit im praktischen Betrieb. Es wurden besondere sog. Hochvolt-Technologien entwickelt, die gerade den extremen Belastungssituationen bei Spannungsreglern Rechnung tragen, was den Überlastungsschutz des Halbleiterchips gegen statische und dynamische Strom-, Spannungs- und Wärmebeanspruchung anlangt. Entsprechend gefertigte Produkte weisen eine hohe MTBF und geringe Ausfallrate auf.

Des weiteren ist bekannt, Microcontrollern sog. Watchdog-Schaltkreise zuzuordnen oder aus Kosten- und Bauraumersparnisgründen entsprechende Schaltkreisfunktionen als Subfunktion eines Microcontrollers zusammen mit diesem in der Herstellungstechnologie des jeweiligen Microcontrollers on-chip mitzuintegrieren. Diese Schaltkreise sind in der Regel mit Mitteln zur Erzeugung und Aussendung eines zeitlich definierten Reset-Signals an den Microcontroller nach dem Aufbau seiner Betriebsspannung vorgesehen. Bezüglich dieser Lösungen treten jedoch Probleme auf, wenn auf dem Chip des Microcontrollers mit unterschiedlich hoher Spannung stromversorgte Bereiche vorliegen und einer davon einer hohen Störsignalbeaufschlagung von der Versorgungsseite her unterliegen kann. Entsprechende Lösungen verlangen deshalb nach sehr wirksamen externen Schutzmaßnahmen für einen entsprechenden Halbleiter-Chip.

Darüber hinaus sind diskrete Hilfsbausteine für Mikroprozessoren bekannt, die Mittel zur Überwachung wenigstens einer Betriebsspannung aufweisen, um bei deren Verlassen eines vorbestimmten Toleranzfensters einen Reset für den Microcontroller zwecks sicheren

Programmstops erzeugen. Sie werden in Niederspannungstechnologie vorwiegend im Systemmaßbereich $0,8 \dots 1,5 \mu$ gefertigt.

In einer zeitgleich eingereichten Parallelanmeldung (internes Aktenzeichen Daim 25 561/4) ist eine Einrichtung für den busvernetzten Betrieb eines elektronischen Geräts mit Microcontroller offenbart, welche u. a. dem Bedürfnis Rechnung trägt, den Gesamtstromverbrauch eines CANs während Zeiten seiner relativen Betriebsruhe zu minimieren.

Die Einrichtung besteht aus einer speziellen Halbleiterschaltung mit der Bus-Funktion eines Kommunikations-Transceivers sowie einem elektrisch ein- bzw. abschaltbaren Spannungsregler. Beide Teile wirken dahingehend miteinander zusammen, daß die Halbleiterschaltung in einem bestimmten Betriebszustand an den Spannungsregler ein Signal abgibt, welches dessen Abschaltung und damit auch die des ausgangsseitig an die Geräteelektronik abgegebenen Versorgungstromes bewirkt. In diesem Zustand beziehen dann nur noch die Halbleiterschaltung sowie der Regler von einem übergeordneten Versorgungspotential sehr geringe Ruhestrome; der Microcontroller ist dann stromlos. Die die Transceiverfunktion realisierende Halbleiterschaltung umfaßt dort noch weitere Funktionen in Zusammenhang mit der Erkennung von Busfehlern und Weckanforderungen zur Reinitialisierung des Microcontrollers sowie zu deren Verwirklichung analoge und digitale Funktionskomponenten gemixt. Wegen Einzelheiten wird auf die oben genannte Parallelanmeldung verwiesen.

Im Rahmen jener Erfindung wird u. a. vorgeschlagen, diese Funktionskomponenten, den Microcontroller und die Busprotokoll-Funktion auf einem einzigen Chip monolithisch zu integrieren. Im Ergebnis läge damit für ein elektronisches Steuergerät eine Lösung vor, die im wesentlichen aus z. B. drei Halbleiterbausteinen bestünde, nämlich aus dem (1) Spannungsregler, dem (2) einkörperlichen Verbund aus Microcontroller und Busprotokollfunktion, erweitert um den Funktionsumfang besagter Halbleiterschaltung — begrifflich zu verstehen als "Bus-Application(BA)-Controller" —, sowie (3) einem dem Microcontroller applikationswärts nachgeschalteten Input/Output-Interface zur Aufnahme von applikationsspezifischen Sensorsignalen und zur Ansteuerung erforderlicher Aktuatoren etc. Die Implementation und Integration eines solchen Halbleiterschaltkreises ist möglich, erweist sich jedoch als kostenintensiv in Relation zur abdeckbaren Anwendungsbreite eines solchen Spezialbausteins.

Eine Alternative dazu bestünde darin, die Elemente (1) bis (3) zu einem einzigen "Hyperchip" zu integrieren. Ein solcher vollintegrierter "Hyperchip" auf der Basis eines Microcontrollers unterliegt aber keinen geringeren Einschränkungen hinsichtlich einer breiten Anwendbarkeit.

So werden — für unterschiedliche Geräteanforderungen — unterschiedliche Hyperchip-Varianten benötigt. Durch Typen-Spreading wird jedoch der Stückzahlvorteil für den erwünschten Kostenreduktionsfaktor beschränkt. Ferner ist ein solcher Hyperchip ein kundenspezifischer Baustein mit Bindungsfolge an den betreffenden Hersteller. Dies kann u. U. ein Nachteil sein, wenn Second- und Trisource-Imperativen bestehen. Darüber hinaus erschweren entsprechende kundenspezifische Lösungen jedwede Standardisierung, mit sekundärem, ebenfalls negativem Durchschlag auf den Kostenvorteil. Sowohl im Falle des Hyperchips als auch des

BA-Controllern sind zu lösende EMV-Probleme zu erwarten, da Störungen vom Bus u. U. bis an den Microcontroller gelangen können. Von Hyperchip zu Hyperchip bzw. BA-Controller zu BA-Controller für unterschiedliche Anwendungen können erforderliche EMV-Schutzmaßnahmen sehr unterschiedlich aussehen. Abgesehen von deren Kosten bedingen sie in verschiedenen Applikationen verschiedene Verwirklichungsweisen, d. h. immer wieder neu zu beachtende Designregeln, woraus sich zwangsläufig auch Fehlermöglichkeiten eröffnen. Des weiteren ist nicht jede Technologie zur Herstellung von aktuell und künftig interessanten Microcontrollern gleich gut geeignet, Schaltkreiskomponenten mitaufzunehmen, die in der Praxis entweder einer Reststörspannungsbeaufschlagung standhalten müssen, die in der Größenordnung der Betriebsspannung des Microcontrollers liegen kann oder das Chipmaterial mit Spot-Leistungsdichten beanspruchen, die im Fehlerfall bis nahe an den Thermischen Zusammenbruch heranreichen können. Umfeldbedingungen, die solche Beanspruchungen zur Folge haben, treten z. B. in der industriellen Steuerungstechnik und in Verkehrsmitteln ohne weiteres auf.

Die vorgenannten Probleme verschärfen sich mit über μC -Technologiefortschritt wachsendem System-Shrinkmaß exponentiell. Auch werden die on-chip beherrschbaren Spot-Verlustleistungen von z. B. Treibern zunehmend kleiner. Es kann davon ausgegangen werden, daß das System-Shrinkmaß monolithischer LS-Technologien schon bald bei $0,25\ \mu\text{m}$ angelangt ist. Interfacefunktionen in $0,25\ \mu\text{m}$ -Technologie sind jedoch zu empfindlich, als daß sie mit einer z. B. der Jump-Start-, Load-Dump- und statischen Überspannungsgefahr ausgesetzten Industrie- oder Fahrzeugumgebung direkt verbunden und mit hinreichender Verfügbarkeit darin betrieben werden könnten. Folglich erzwingt ein auf der einen Seite erzielter Bauraum- und Kostenvorteil bauraumbeanspruchende und Kosten verursachende Zusatzmittel zur Realisierung von Schutzfunktionen.

Es ist daher Aufgabe der Erfindung, ein Halbleiterbauelement für ein elektronisches Steuergerät vorzuschlagen, das an den vorgenannten Nachteilen und Problemen vorbei führt und insbesondere eine bauraum- und kostenoptimalen Realisierung moderner zweidrahtbusgesteuerter Steuergeräte ermöglicht.

Diese Aufgabe wird bei einem gattungsgemäßen Halbleiterbauelement mit den kennzeichnenden Merkmalen des Anspruchs 1 gelöst.

Die Erfindung verwirft die vorgenannten Lösungsansätze zugunsten eines anderen, der nicht nur das Bauraum-, Spreading- und Kostenproblem, sondern darüber hinaus auch noch das Problem eines Schutzes des Microcontrollers vor schädlichen Umfeldeinwirkungen sowie das Problem vielzähliger Board-Verbindungen am Microcontroller in einem einzigen Zug auszuräumen vermag.

Erfindungsgemäß werden nicht der Spannungsregler und die den Spannungsregler ansteuernde Halbleiterschaltung mit Interface-Funktion zwischen Zweidrahtbus und Bus-Protokoll-Modul des Microcontrollers auf dessen Chip in der Niedervolt-Technologie des Microcontrollers mitintegriert, sondern es werden nur die besagte Halbleiterschaltung samt Hilfs- und Erweiterungsfunktionen auf dem Chip des Spannungsreglers in der Technologie des Spannungsreglers mitintegriert.

Dadurch entfallen nicht nur alle Schutzfunktionen, die allein der Spannungsregler on-chip mit dem Microcont-

roller benötigte, um letzteren vor betrieblichen Störeinflüssen auf den Spannungsregler zu schützen (Beispiel: Überhitzung, Jump-Start- oder Load-Dump-Durchgriff durch den Regler auf das Substrat).

Im Interesse einer Kostenoptimierung lassen sich auf diese Weise nicht nur anwendungsspezifisch unterschiedliche busprotokollfähige Microcontroller frei wählen, um mit dieser in der überwiegenden Mehrzahl von Anwendungsfällen gleichermaßen benötigten Funktionalität zu kooperieren. Weil die für Spannungsregler in Frage kommenden Technologien aus physikalischen Gründen wesentlich größere Systemmaße als die Niedervolttechnologien für Analog- und Digitalanwendung in A/D-Microcontrollern aufweisen, wird die im Spannungsregler problemlos reproduzierbare Robustheit bezüglich Überspannungen, Transienten, Hochfrequenzeinstrahlung etc. in die die Transceiverfunktion zwischen Bus (fungierend als "Antenne" für Störeinflüsse) und Microcontroller erfüllende Schaltkreisfunktion importiert, die somit im Hinblick auf die Störsicherheit zugleich wie ein Schutzbauteil gegen alle erdenklichen Störungen vom Bus und vonseiten der Stromversorgung eines entsprechenden Gerätes wirkt. Im Effekt bedeutet dies, daß die hohen Isolationsanforderungen zwischen dem gleichspannungsgekoppelten Zweidraht-Bus und hochsensibler Niederspannungslogik so ideal erfüllbar sind unter weitestgehendem Verzicht auf Bauraum beanspruchende und Kosten verursachende Schutzmittel. Der hohe Bedarf dieser Funktion in einer Vielzahl von Steuergeräten unterschiedlichst auslegbarer Leistungsfähigkeit beseitigt das Spreading-Problem und erschließt den Kostenvorteil aus der Großmassenproduktion. Im Endergebnis wird so durch eine physikalisch an der Einsatzpraxis orientierte, wohlgezügelte Integrationsweite gegenüber modernen LSI-Realisierungsbestrebungen eine technische, konstruktive, aufwands- und kostenmäßige Optimierung für das Steuergerät als Ganzes erreicht, die in ihrer Gesamtheit nicht zu unterbieten ist.

Weitere Vorteile werden mit dem erfindungsgemäßen Halbleiterschaltkreis bei Fortbildung gemäß den abhängigen Ansprüchen 2 bis 25 erzielt.

Gemäß Anspruch 2 ist die Transceiverfunktion des Schaltkreises hinsichtlich ihrer Sende- und Empfangsmittel so beschaffen, daß diese Mittel tolerant gegenüber allen möglichen Fehlerzuständen im und am Busleitungsnetz sind, sofern alle Busteilnehmer sich bezüglich des Busnetzes kompatibel verhalten.

Gemäß Anspruch 3 sind die Sende- und Empfangsmittel der Transceiverfunktion des Schaltkreises in ihrer Slewrate veränderbar, insbesondere an verschiedene Baudraten der Kommunikation anpaßbar. Dadurch läßt sich der Schaltkreis für verschieden schnelle Bussysteme verwenden.

Gemäß Anspruch 4 weist der Schaltkreis wenigstens einen Betriebszustand auf, in welchem der Spannungsregler abgeschaltet ist und die Sendemittel ohne Einfluß auf den Bus sind, sowie durch ein Wecksignal aktivierbare Mittel, um diesen Betriebszustand zu verlassen.

Gemäß Anspruch 5 ist der Schaltkreis so beschaffen, daß der mit dem Schaltkreis kooperierende Microcontroller ihn wieder in den Betriebszustand zurückversetzen kann, in welchem der Spannungsregler abgeschaltet ist.

Gemäß Anspruch 6 umfaßt der Schaltkreis Mittel zur Realisierung einer Watchdog-Funktion wenigstens zur Rücksetzung wenigstens eines Microcontrollers und zur ordnungsgemäßen Überwachung der ordnungsgemä-

Ben Funktion und Programmabwicklung durch den wenigstens einen Microcontroller.

Gemäß Anspruch 7 ist die Watchdog-Funktion so beschaffen, daß sie wenigstens noch einen weiteren Microcontroller eines Steuergerätes unabhängig zurücksetzen und/oder eine Überwachung der ordnungsgemäßen Funktion und Programmabwicklung des wenigstens einen weiteren Microcontrollers leisten kann.

Gemäß Anspruch 8 umfaßt der Schaltkreis Mittel zur Erzeugung und Übermittlung — nachdem die Ausgangsspannung des Spannungsreglers aufgebaut ist — eines Rücksetzsignales an den Microcontroller.

Gemäß Anspruch 9 umfaßt der Schaltkreis Mittel zur Abgabe eines Sperrsignals in Zusammenhang mit der Erzeugung und Übertragung eines Rücksetzsignals an den Microcontroller. Durch diese Maßnahme werden transiente Fehlansteuerungen vermieden.

Gemäß Anspruch 10 umfaßt der Schaltkreis Mittel zur Überwachung wenigstens einer der unregelmäßig und geregelten Versorgungsspannungen bezüglich wenigstens eines Grenzwertes und Mittel zur Abgabe eines INTERRUPT- oder RESET-Signals an den Microcontroller, wenn dieser Grenzwert unter- oder überschritten wird.

Gemäß Anspruch 11 umfaßt der Schaltkreis autonome Mittel zur Erfassung, ohne Beteiligung der Weck-Erkennungsmittel der Transceiverfunktion, wenigstens eines Wecksignales wenigstens in Zeiträumen reduzierter Aktivität des Microcontrollers.

Gemäß Anspruch 12 kann der Schaltkreis sowohl über den Bus als auch über ein Wecksignal an einem besonderen Eingang aus dem Betriebszustand, in welchem der Spannungsregler abgeschaltet ist, zwecks Einschaltung des Spannungsreglers geweckt werden, bei im übrigen identischer Funktionsaktivierung für beide Weckpfade.

Gemäß Anspruch 13 umfassen vorgenannte autonome Mittel wenigstens eine Speicherzelle zur Speicherung eines Weckereignisses in Zeiträumen reduzierter Aktivität des Microcontrollers, wobei diese wenigstens eine Speicherzelle nur vom Microcontroller löscht- bzw. zurücksetzbar ist.

Gemäß Anspruch 14 ist der Schaltkreis bezüglich wenigstens einer der neben dem Spannungsregler mitumfaßten Funktionen frei programmierbar (Konfigurationsprogrammierung).

Gemäß Anspruch 15 umfaßt der Schaltkreis einen nichtflüchtigen Speicherbereich.

Gemäß Anspruch 16 ist in diesem Speicherbereich die aktuell programmierte Konfiguration des Schaltkreises nichtflüchtig ablegbar.

Gemäß Anspruch 17 umfaßt der Schaltkreis ein Interface zum seriellen Austausch von Daten und/oder Steuersignalen zwischen dem Schaltkreis und dem mit seiner Transceiverfunktion kooperierenden Microcontroller.

Gemäß Anspruch 18 ist der nichtflüchtige Speicherbereich des Schaltkreises vom Microcontroller über das Interface seriell bedienbar, insbesondere überschreibbar.

Gemäß Anspruch 19 weist der Schaltkreis zwei Anschlüsse zum Anschluß zweier externer Abschlußelemente für die beiden Busadern sowie Busfehler-Erkennungsmittel und Ersatzabschluß- und Umschaltmitteln auf, um im Fehlerfalle den Busabschluß zu verändern.

Gemäß Anspruch 20 ist die Transceiverfunktion des Schaltkreises sowohl bezüglich ihrer Sende- und Empfangsmittel als auch bezüglich ihrer Steuermittel so beschaffen, daß sie wahlweise zweidrähtig differentiell

oder eindrähtig auf wenigstens einer Busader gegen Bezugsmasse senden und empfangen kann.

Gemäß dem Anspruch 21 ist der Schaltkreis als Bestandteil eines Steuergerätes unbeschrieben seiner generellen Fähigkeit zu einer zweidrähtigen Kommunikation für eine nur eindrähtige beschaltet bzw. ansteuerbar.

Gemäß den Ansprüchen 22 und 23 ist der Schaltkreis integraler Bestandteil eines Steuergerätes zum Einsatz in Verkehrsmitteln bzw. in einer Industrieumgebung.

Gemäß Anspruch 24 ist die Transceiverfunktion gemäß CAN-Standard ausgelegt.

Gemäß Anspruch 25 ist der Schaltkreis in einer homogenen Hochvolt-Technologie hergestellt.

Alles in allem kann der Schaltkreis außer einem Regler zur Stromversorgung eines Steuergerätes und einem Signal-Transceiver zur Kommunikation über einen Zweidrahtbus also Watchdog-Funktionen, verschiedene Weck-Funktionen und ein Interface zur seriellen Datenübertragung zwischen dem Schaltkreis und wenigstens dem mit dem Schaltkreis buskommunikativ kooperierenden Microcontroller umfassen, über das der Austausch der kooperativen Steuersignalen und/oder Daten möglich ist. Des weiteren ist eine Programmierbarkeit aller wesentlichen Funktionen bzw. deren Grenzwerte und/oder Zeitverhalten vorgesehen sowie die Speicherbarkeit entsprechender Programmierungsdaten in einem optional mitumfaßten nicht flüchtigen Speicher beispielsweise vom EEPROM-Typ.

Der Schaltkreis kann kostengünstig in einer homogenen Hochvolttechnologie sehr robust und widerstandsfähig gegen allfällige Stör- und Überlasteinwirkungen im industriellen und Fahrzeugumfeld hergestellt werden und eignet sich insoweit ganz besonders zur Verwendung in Verkehrsmitteln oder Industrieumgebungen.

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert. Da der vorliegende Gegenstand von dem in der oben genannten Parallelanmeldung beschriebenen ausgeht, sind einerseits zum Zwecke der Erleichterung der Übersicht zwei Figuren aus besagter Parallelanmeldung hier importiert; bezüglich deren Detailbeschreibung wird an dieser Stelle ausdrücklich auf jene Parallelanmeldung verwiesen. Des weiteren wird an dieser Stelle darauf hingewiesen, daß die Figurenbeschreibung beispielhalber eine Implementation für einen CAN-Bus zugrundelegt und deshalb auch auf diesem Gebiet eingeführte Bezeichnungen verwendet. Gleichwohl überspannt die Erfindung auch andere zweidrähtige Busse. Sie ist deshalb in entsprechend ausgestatteten Steuergeräten — beispielsweise nach dem J1850-Standard — genau so vorteilhaft einsetzbar. Dieser Allgemeingültigkeit ist in der Zeichnung Rechnung getragen durch eine sowohl neutrale Bezeichnung der Busleitungen mit BUS_H und BUS_L als auch eine spezielle für den CAN-Anwendungsfall CAN_H und CAN_L. Die Beschreibung ist in diesem Zusammenhang auch bewußt so gehalten, daß sie dem Fachmann den Weg nachzeichnet, auf dem vom Gegenstand der Parallelanmeldung ausgehend die hier gegenständliche Lösung gefunden worden ist. Es zeigen:

Fig. 1 eine schematische Veranschaulichung der mit einem erfindungsgemäßen Spannungsregelschaltkreis in homogener Technologie monolithisch realisierten Funktionsumfänge;

Fig. 2 die Fig. 13 aus der bezogenen Parallelanmeldung zum Vergleich mit Schaltkreiselementen wie dort beschriebenermaßen von einem einfachen Steuergerät umfaßt;

Fig. 3 die Fig. 2 aus der bezogenen Parallelanmeldung zur Vergegenwärtigung der Funktionen, welche der Halbleiterschaltkreis 100 in Fig. 2 bei geringerem Integrationsgrad umfassen kann;

Fig. 4 eine schematische Veranschaulichung der zu Blöcken zusammengefaßten Funktionen eines gegenüber Fig. 3 noch universeller und mit zusätzlichen Funktionen ausgebildeten Halbleiterschaltkreises 100';

Fig. 5 ein schematisches Funktionsblockschaltbild eines leistungsfähigeren Steuergeräts mit einer Schaltkreisfunktion 100 gemäß Fig. 3 bzw. 100' gemäß Fig. 4 und einem optionalen nichtflüchtigen Speicher, beispielhaft als EEPROM ausgeführt;

Fig. 6 eine vereinfachte Funktionsblockdarstellung eines in einheitlicher Technologie des Spannungsreglers 20 ausgebildeten Halbleiterschaltkreises 200, welcher die Stromversorgung eines Steuergerätes und über den vollen Funktionsumfang der Einrichtung gemäß der bezogenen Parallelanmeldung hinausgehend noch weitere Funktionen realisiert;

Fig. 7 ein vereinfachtes Funktionsblockschaltbild eines Steuergerätes, das durch Implementierung des erfindungsgemäßen Halbleiterbausteins in das Steuergerät gemäß Fig. 5 resultiert, dementsprechend mit einem optionalen nichtflüchtigen Speicherbereich — beispielhaft als EEPROM — ausgeführt;

Fig. 8 eine schematische Illustration der neuen, universellen Systemarchitektur für busfähige Steuergeräte, welche der erfindungsgemäße Schaltkreis ermöglicht und die zu einer Erhöhung der Systemsicherheit unter Minimierung der Kosten führt.

Ausgangspunkt der Erfindung ist die Erkenntnis, daß es kaum mehr ein busfähiges elektronisches Steuergerät gibt, in dem nicht ein Spannungsregler zur Versorgung wenigstens der die Fähigkeit zur Buskommunikation bewirkenden Schaltkreiskomponenten benötigt wird bzw. vorhanden ist. Dabei wird beispielsweise ein elektronisches Steuergerät mit Microcontroller 21 gemäß Fig. 2 zugrundegelegt, welches die in der oben genannten Parallelanmeldung beschriebene Einrichtung verwendet. Darin ist von einem Microcontroller 21 mit bereits integriertem Bus-Kommunikationsmodul 22 ausgegangen, welches das Steuergerät buskommunikationsfähig macht.

Die vorliegende Fig. 2 entspricht der Fig. 13 und die Fig. 3 entspricht der Fig. 2 der o.g. Parallelanmeldung. Der Funktionsumfang jener Einrichtung — umfassend die Halbleiterschaltung 100 und den damit kooperierenden Spannungsregler 20 — sowie die Funktion eines diese Einrichtung benutzenden Steuergerätes als Ganzes sind dort im Detail offenbart, so daß nachfolgend nur eine Kurzbeschreibung der Fig. 2 und 3 erfolgt.

Der Bus wird von den beiden Adern CAN H und CAN L gebildet, der an Anschlüssen 11 und 12 der Halbleiterschaltung 100 liegt. Bei 20 handelt es sich um einen besonderen Spannungsregler, der über den Pfad 1 ein Einschalt- bzw. Abschaltsignal (ENA/NINH bzw. NENA/INH) empfangen kann und über den Pfad 29 ein RESET-Signal PWROR an den Microcontroller 21 mit Busprotokollfunktion 22 abzugeben vermag. Der Spannungsregler 20 liegt eingangsseitig an einer Schiene 20.1 mit der höheren Versorgungsspannung VBATT (12 Volt) und gibt in eingeschaltetem Zustand ausgangsseitig an eine Versorgungsschiene 20.2 im Steuergerät die niedrigere Spannung VCC (5 Volt) ab, die mittels einer großen Kapazität 161 gepuffert wird und außer den Microcontroller 21 auch noch ein mit letzterem kommunizierendes Input/Output (I/O)-Interface 163 sowie die

Halbleiterschaltung 100 mit Betriebsenergie versorgt. Letztere bezieht — wie auch z. B. Relaisstreiber oder pulsweitenmodulierte Endstufen 163.1 und/oder Signallaquisions- und digitalisierende Eingangsmittel 163.2 im I/O-Interface 163 — vom Speiseeingang auch noch die höhere Versorgungsspannung VBATT.

Die Halbleiterschaltung 100 steht über Pfade 2 bis 6 mit dem Microcontroller 21 in Verbindung, ist mehrerer Betriebsarten — jedenfalls wenigstens der Betriebsart NORMAL und SLEEP — fähig (Selektion durch EN und STB, Einstellung durch 142) und kann alle analogen und digitalen Schaltkreismittel für die Sende-/Empfangs-Kommunikation (133 + 120 = Transceiverkern), für die Busfehler-Erkennung im Block 132, für die Umterminierung des Busses durch Umschalten von Abschlußelementen und/oder deren Bezugspotential im Block 131 in der Betriebsart SLEEP, für die automatische Busfehler-Behandlung im Block 131 sowohl hinsichtlich einer fehlerresponsiven (durch 132) Umterminierung des Busses als auch hinsichtlich einer fehlerresponsiven Einstellung und/oder Umkonfiguration oder Adaption der Sende- und Empfangsmittel in den Blöcken 133 mit 132 und 120, für eine Notkommunikation (z. B. Eindrahtbetrieb über Bezugsmasse GND) bei Vorliegen eines Busfehlers vermöge des Blocks 132, des Steuerungsblocks 140, der optionalen Verbindung 157, und der Blöcke 133 und 120, für die Weck-Erkennung 111 lokal über den Pfad 7 von einem Schalter 25 oder vom Bus CAN H/CAN L, für eine Versorgungsfehlererkennung bezüglich VBATT und/oder VCC im Block 110, sowie für die Generation 141 und Bereitstellung durch den Steuerungsblock 140 des Einschalt- bzw. Abschaltsignals ENA/NINH an den Spannungsregler 20 sowie für das Setzen in den Blöcken 143, 144, 145 von WAKEUP-, POWERFAIL- und BUS ERROR-Flags (zur Darstellung von INTERRUPT-Signalen für den Microcontroller) 21 beinhalten.

Die Halbleiterschaltung 100 steuert den Spannungsregler 20 an um ihn in nach Erreichen der Betriebsart "SLEEP" der Halbleiterschaltung 100 abzuschalten, und im Falle eines Weckens der Halbleiterschaltung 100 einzuschalten. Das in Fig. 2 dargestellte Steuergerät nimmt bei abgeschaltetem Spannungsregler vom Potential VBATT nur noch den sehr geringen Ruhe-Eingangsstrom des Reglers und den Ruhestrom der Halbleiterschaltung 100 im SLEEP-Mode auf. Wegen Details wird auch diesbezüglich die Parallelanmeldung verwiesen.

Fig. 4 veranschaulicht eine Fortbildung der Halbleiterschaltung 100 in einen Halbleiterschaltkreis 100', letzterwelter sehr vorteilhaft für eine Höherintegration zum weiter unten erläuterten "Super-Chip" zugrunde gelegt werden kann.

Seine Funktionsblöcke 110, 120 und 130 weisen zusätzliche Mittel 170.1 bzw. 170.2 bzw. 170.3 zur Beeinflussung bzw. Steuerung bzw. Einstellung wenigstens der Empfangsmittel 120 und der Sendemittel 130, u. U. auch der Weckerkennungsmittel 111 im Block 110 auf. Ferner sind die Anschlußpfade 159 und 160 für die Signale TxD und RxD und — unter gewissen Bedingungen — auch der Pfad 154 durch einen Block 170 mit der Funktion eines Slew Rate Controllers geführt. Des weiteren ist bezüglich des Lokal-Anschlusses 7 dem Weck-Erkennungs-Block 111 ein Schutzfilter 80 vorgeschaltet.

Entsprechende Filterelemente 81 und 82 sind den beiden CAN H/CAN L-Eingängen des Weck-Erkennungs-Blocks 111 und dem Busfehler-Erkennungsblock 132 bzw. den beiden Eingängen des Empfänger-Frontends 121 im Empfangsblock 120 vorgelagert. Sie unter-

scheiden sich von dem Schutzfilter 80 dadurch, daß sie von blockzugeordneten Slewrates-Einstellmitteln 170.2 bzw. 170.3 steuerbar sind. Die Slewrates-Einstellmittel 170.3 können über einen optionalen Pfad 180 auch unmittelbar auf die Endstufe 133 wirken. Auf diesem Wege ist dann ein aktiver Einfluß auf die Slewrates des Senders in 130 möglich. Der Slewrates Controller 170 kann über den optionalen Pfad 158 vom Steuerungsblock 140 angesteuert werden. Außerdem kann er hier optional über wenigstens einen weiteren Anschluß 171 angesteuert werden. Des weiteren kann der Funktionsblock 142, welcher die Betriebsarten des Halbleiterschaltkreises 100' gemäß der Vorgabe vom Microcontroller einstellt, um einen weiteren Eingang 172 für ein SRC-Einstell- oder Testsignal erweitert sein.

Die Detailfunktion dieser Erweiterung ist folgende.

Der Slewrates-Steuerungsblock 170 wirkt beispielsweise in Abhängigkeit von einem an seinem Eingang 171 anliegenden SR-Signal oder — wie weiter unten erläutert — in Abhängigkeit von bzw. in Abhängigkeitsverbund mit dem Signal SRC/TEST — optional auch im Verbund mit Signalen EN und STB — über nicht figürlich dargestellte Verbindungen auf die blockzugeordneten Slewrates-Einstellmittel 170.1, 170.2 und 170.3 und letztere hier beispielhaft auf die Sendeendstufe 133. Dadurch wird einerseits die Slewrates der Endstufe entsprechend verändert bzw. eingestellt bzw. umgeschaltet, und andererseits wird das Slewfollow-Verhalten der Blöcke 110, 120 und 130 verändert bzw. eingestellt bzw. umgeschaltet. Im einfachsten Falle werden entsprechende Frequenzbandbeschnitten der Eingangssignale vom Bus CAN H/CAN L an den Bus-Eingängen der Blöcke 110, 120 und 130 wirksam geschaltet.

Diese steuerbare Slewrates-Beeinflussung macht den Transceiver-Kern des Schaltkreises 100' tauglich für verschiedene Übertragungsgeschwindigkeiten und Bus-Bitzeiten. Dadurch kann ein solcher Schaltkreis 100' — und folglich auch ein Super-Chip, der in mitumfaßt — in verschiedenen Systemen mit weit voneinander abweichenden Bus-Grenzfrequenzen eingesetzt werden. Beispielsweise kann ein solcher Schaltkreis sowohl FAST-CANs z. B. in Verbindung mit dem Motormanagement von Brennkraftmaschinen in Verkehrsmitteln genau so bedienen wie SLOW-CANs beispielsweise in Innenräumen solcher Verkehrsmittel. Diese integrierte Universalität erschließt den Kostenvorteil über den Stückzahlkost.

Des weiteren ist durch die Steuerung der Slewrates die hochfrequente Störsignallunterdrückung unmittelbar steuerbar, und zwar sowohl sende- als auch empfangsmäßig. Je kleiner die Bit-Slewrates auf dem Bus CAN H/CAN L, desto stärker ist die durch Sendebetrieb verursachte elektromagnetische Störausstrahlung des Busnetzes und seiner Abzweigungen. Je kürzer die erkenn- bzw. diskriminierbare Slew-Rates des Empfänger-Frontends 121 oder des Weck-Erkennungs-Blocks 111, desto größer ist die Gefahr eines unerwünschten Lese- oder Weckfehlers verursacht durch elektromagnetisch einwirkende hochfrequente Störspektren.

Daraus folgt für die Charakterisierung der Filter 81 und 82, daß es sich hierbei nicht nur um steuerbare Tiefpässe, sondern gleichwohl auch um echte, vorzugsweise DC-gekoppelte und digital wirkende Slewrates- oder Bitzeiten-Filter handeln kann, die die Signal-Slewrates oder Bit-Zeiten auf dem Bus bis an die jeweilige Grenzslewrates bzw. an Grenzbittzeiten heranreichend auszunutzen erlauben.

Auf diese Weise ist es auch noch ein hoher Störabstand im Busumfeld beispielsweise in Kraftfahrzeugen oder

elektrischen Schienenfahrzeugen erzielbar, in welchen in zunehmendem Maße die Speisung von Motoren und Verbrauchern mittels starker, getakteter Ströme geschieht. Durch Resonanzüberhöhungen in der induktivitäts- und kapazitätsbehafteten Verkabelung der Versorgungsleitungen solcher Verbraucher können sich hochfrequente elektromagnetische Störfelder je nach räumlicher Konfiguration des jeweiligen Feldes und Verlauf einer Busleitung in Bezug darauf mehr oder weniger stark auswirken. Die vorgenannten Merkmale bieten eine Möglichkeit für einen aktiven Schutz gegen derlei Störungen.

Beispielsweise kann in der Betriebsart SLEEP die Slewrates auf einen Wert eingestellt werden, der niedriger als in allen anderen Betriebsarten ist. In diesem Zusammenhang soll die Verbindung 158 bedeuten, daß optional auch der Steuerungsblock 140 Einfluß auf die Slewrates-Steuerung nehmen kann. Durch diese Maßnahme wird eine entsprechende Unempfindlichkeit eines entsprechenden Busnetzes, dessen Teilnehmer jeweils mit einem solchen "SLEEP-SLEW"-Halbleiterschaltkreis 100' ausgerüstet sind, gegenüber unerwünschten Weck-Störungen in der Betriebsart SLEEP erreicht. Da der Schaltkreis 100' so konzipiert ist, daß er in der Betriebsart SLEEP einen geringstmöglichen Strom I_{CC2} verbraucht, können die Filterelemente 81 und 82 so ausgebildet sein, daß sie bei Abschaltung der internen Stromversorgung der Sende- und/oder Empfangsmittel 130 bzw. 120 automatisch die kleinste Slewrates bewirken, die in diesem Sinne dann in der Betriebsart SLEEP immer wirksam ist (Hochsteuern der Slewrates und automatischer Rückfall auf die SLEEP-Slewrates).

Die steuerbare Slewrates-Beeinflussung macht den Transceiver-Kern des Schaltkreises 100' aber auch noch tauglich als Testbauteil für vollautomatische Tests eines Bus-Netzwerks, einschließlich solcher mit Test-Baudraten und Test-Bitzeiten. Auch in diesem Zusammenhang soll die Verbindung 158 bedeuten, daß optional auch der Steuerungsblock 140 Einfluß auf die Slewrates-Beeinflussung nehmen kann.

Der Schaltkreis 100' kann bezüglich der Sende- und Empfangsmittel 130, 133 bzw. 120 seines Transceiverkernes bevorzugt so ausgebildet werden, daß diese Mittel tolerant gegenüber allen möglichen Fehlerzuständen im und am Busleitungsnetz sind, sofern alle Busteilnehmer bezüglich des Busleitungsnetzes sich kompatibel verhalten, was beispielsweise erfüllt ist, wenn alle denselben Schaltkreis 100' verwenden.

In der bezogenen Parallelanmeldung sind bereits mehr Betriebsarten eines entsprechenden, einfacheren Schaltkreises 100 als nur die Betriebsarten SLEEP, STANDBY, RECEIVE ONLY und NORMAL angedacht. Realisiert ist der Erweiterungsfall vorliegend. Über den Eingang 172 kann dem Block 142 ein weiteres Signal — hier mit SRC/SWM bezeichnet — zugeführt werden, das die Bedeutung der Signale EN und STB bedarfsweise umdefiniert.

Dabei steht SRC für Slewrates Control, und SWM für Single Wire Mode.

Durch das dritte SRC-Signal können mittels der Bits EN und STB beispielsweise Test-Flags in 142 gesetzt bzw. gelöscht werden, die innerhalb 100' Test-Slewrates adressieren können. Im Zusammenhang mit Fortbildungen für Testfähigkeit kann der Slewrates-Controller 170 auch zwischenspeichernde und/oder digitale Verzögerungsmittel für wenigstens einen von Sende- und Empfangspfad an 2 bzw. 3 beinhalten. Im Rahmen der Erfin-

dung können solche zusätzlichen digitalen Mittel auch mit einem repetitiven Signal SR am Eingang 171 zusammenwirken, um so unter einer auf Gleichverteilung der Busintelligenz abgestellten Busmanagements das automatische Austesten des Busses unter Beteiligung aller Teilnehmer auf Vorliegen bzw. Einhaltung definierter Übertragungs- und Störabstandsgüten zu eröffnen.

Schon an dieser Stelle sei hier vorweggenommen, daß einer der ganz wesentlichen Aspekte der Erfindung ist, auch solche busnahen Testmittel in einer Halbleitertechnologie auszuführen, die allerhöchste Widerstandsfähigkeit gegen Beschädigung durch grösste Störeinflüsse bietet, um genau dann, wenn ein Bus-Fehler bzw. Bus-Gütefehler infolge irgendwelcher Störeinflüsse tatsächlich aufgetreten ist, den fehlerhaften Bus noch vollautomatisch austestbar zu erhalten. Dieses erfinderische Detail stellt einen wichtigen Schritt dar auf dem Wege zu einer vollautomatischen Ferndiagnose etwa über Telekommunikationsstrecken von global beweglichen CANs, beispielsweise in Verkehrsmitteln.

Durch das dritte SWM-Signal kann aber auch eine fünfte implementierte Betriebsart "SINGLE WIRE MODE" aufgerufen werden, in der die Sende- und Empfangsmittel 130 und 120 vorübergehend auf Eindrahtbetrieb über CAN H oder CAN L gegen Bezugsmasse GND umgeschaltet werden. Dabei wird dann jeweils nur einer der beiden Adertreiber in der Endstufe 133 aktiviert. In einer solchen Betriebsart können mittels des Schaltkreises 100' bei reduzierter Baudrate und/oder Bandbreite bzw. Slewrate (s. o.) über kurze Entfernungen beispielsweise zeitunkritische Steuersignale übertragen werden, d. h. eine Art Sub-Bus für Steuerzwecke implementiert werden, während er unabhängig davon nach entsprechender Umschaltung von SWM und/oder z. B. bei höherer Baudrate eine andere zweidrähtige Kommunikation abwickeln kann.

Im Rahmen der Erfindung wird die Massenanzahlbarkeit dieser Funktionalität dadurch maximiert, daß die Transceiver-Funktion 100, 100' sowohl bezüglich ihrer Sende- und Empfangsmittel 130, 133; 120 als auch bezüglich ihrer Steuermittel 142; 157; 172/SWM so ausgeführt wird, daß sie wahlweise zweidrähtig differentiell oder eindrähtig auf wenigstens einer Busader CAN_H, CAN_L gegen ein Bezugspotential, beispielsweise gegen Bezugsmasse GND, senden und empfangen kann (d. h. mit nur einem Ader-Treiber von 133).

Fig. 5 zeigt eine abgewandelte Steuergerätekonfiguration, deren diskret realisierte Funktionen — bis auf die des Microcontrollers 21 und des Input/Output-Interface 163 — durch den erfindungsgemäßen Halbleiterschaltkreis ersetzt werden. Sie unterscheidet sich von der in Fig. 2 u. a. dadurch, daß noch ein sowohl vom Eingangspotential VBATT des Reglers 20 gegen Masse GND dauerstromversorgter und von dessen Ausgangspotential VCC versorgter Watchdog-Schaltkreis 164 (IC4) mit Zeitbasismittel 169 sowie ein vom Potential VBATT dauerstromversorgter zusätzlicher Wake-Up-Eingangsexpander 165 (IC3) für hier beispielsweise vier zusätzlich weckfähige Eingänge 7.1 (IN_1 bis IN_4) vorgesehen ist.

Dieser Expander kann für die wahlweise Verarbeitung von Wecksignalen aus unterschiedlichen Quellen ausgelegt sein, d. h. beispielsweise von Schaltsignalen nach Masse GND oder UBATT gemixt. Ausgangsseitig wirkt dieser Expander nicht auf den Schaltkreis 100/100', sondern direkt auf den Microcontroller 21. Dies bedeutet, daß dieser Expander für Wecksignale in Frage kommt, die auszuwerten sind, wenn der Regler 20

von dem Schaltkreis 100/100' mit einem Einschaltsignal beaufschlagt ist, also beispielsweise in dessen Betriebsart STANDBY.

In diesem Zustand kann der Microcontroller in einem Lowpower-Mode verharren, beispielsweise um zyklisch Weck-Ereignisse an den Eingängen IN_1 bis IN_4 abzufragen. In diesem Zusammenhang kann der Expander 165 auch Speichermittel (z. B. Latches) zur Festhaltung nur kurzzeitiger Wecksignale umfassen, bis diese der aus dem Lowpower-Mode aktivierte Microcontroller 21 eingelesen hat.

Im Hinblick auf die Weckfunktion können der Schaltkreis 100/100' und der Wake-Up-Eingangsexpander 165 insoweit als ein fiktiver Schaltkreis 100.1 mit abermals erweiterter Funktion verstanden werden.

Der Halbleiterschaltkreis 100/100' weist den Steuerausgang 1 ENA/NINH und den Spannungsregler 20 den Ansteuereingang 20.3. auf, die beide über den Pfad 1 miteinander verbunden sind.

Der Watchdog-Schaltkreis 164 hat außer den genannten Versorgungseingängen noch zwei weitere, nämlich ebenfalls einen ENA/NINH-Eingang 164.3 und einen BUSY-Eingang 164.4, sowie hier beispielhaft drei Ausgänge, nämlich einen RESET-Ausgang 164.1 (RES), einen INTERRUPT-Ausgang 164.2 (INT) und einen INHIBIT INTERFACE-Ausgang 164.5 (INIF). Ein vierter Ausgang 164.6 für ein POWER ON RESET-Signal (PWROR) kann optional als Alternative zum entsprechenden Ausgang 20.4 des Spannungsreglers 20 vorgesehen sein.

Der ENA/NINH-Eingang 164.3 ist mit dem ENA/NINH-Ausgang des Schaltkreises 100/100' verbunden; das ENA/NINH-Signal des Schaltkreises 109/100' wirkt hier also zeitgleich auf Regler 20 und Watchdog 164. Der BUSY-Eingang 164.4 ist über den Pfad 30.1 mit einem korrespondierenden BUSY-Ausgang 30 des Microcontrollers 21, der RESET-Ausgang 164.1 über den Pfad 29.2 mit einem ersten Eingang eines logischen Verknüpfungsgliedes 36, der INTERRUPT-Ausgang 164.2 über den Pfad 29.3 mit dem INTERRUPT-Eingang 24.1 des Microcontrollers, und der INIF-Ausgang 164.5 über den Pfad 168 mit einem korrespondierenden INIF-Eingang 163.1 des Input/Output-Interface 163 verbunden. Der Spannungsregler 20 hat einen Ausgang 20.3 der über den Pfad 29.1 den zweiten Eingang des Verknüpfungsgliedes 36 beaufschlagt, dessen Ausgang an den RESET-Eingang 24.1 des Microcontrollers 31 geführt ist. Der Ausgang 4 des Schaltkreises 100/100' ist hier mit einem INTERRUPT-Eingang 24.2 verbunden.

Vorliegend ist noch ein über einen multiplen Pfad 34 an den Microcontroller 21 optional angeschlossenes EEPROM 35 vorgesehen, in welchem z. B. bei Abschaltung der Stromversorgung Daten nichtflüchtig aber überschreibbar ablegbar sind. Der Microcontroller 21 und das EEPROM 35 werden mit VCC gespeist.

Der multiple Kommunikations- und Steuerungspfad 31 repräsentiert die Anschlußverbindungen 2, 3, 5, 6, ggf. auch 171 und/oder 172 des Halbleiterschaltkreises 100/100' mit dem Microcontroller 21. Der Wake-Up-Steuerpfad 32 kann ebenfalls ein multipler sein, insbesondere wenn der Wake-Up-Expander 165 Speichermittel (z. B. ein Flag-Register) umfaßt, die der Microcontroller nach jedem Einlesen zurücksetzt. Der Kommunikationspfad 33 zwischen Microcontroller 21 und Input/Output-Interface 163 kann je nach Anzahl angeschlossener Sensoren und Aktuatoren ein multipler bis hochmultipler sein. In der Praxis handelt es sich dabei meistens um einen multigeplekten, da auch sehr lei-

stungsfähige Microcontroller nur eine begrenzte Zahl von I/O-Ports aufweisen, die für viele Anwendungen nicht ausreichen.

Das Zusammenspiel zwischen Schaltkreis 100/100', Regler 20 und Microcontroller 21 ist im Detail in der o.g. 5 Parallelanmeldung beschrieben.

Der Microcontroller 21 kann demnach über den Pfad 29.1 und das Verknüpfungsglied 36 vom PWROR-Ausgang 20.4 des Reglers 20 — bzw. bei entsprechender Auslegung des Watchdog Schaltkreises 164 alternativ 10 dazu über den Pfad 29.4 von dessen optionalem PWROR-Ausgang 164.6 — zurückgesetzt werden, sobald das Potential VCC aufgebaut und danach noch eine gewisse kurze Zeit vergangen ist, die der Microcontroller für eine ordnungsgemäße Bestromung und Inbetriebsetzung seiner Kreise benötigt. Alternativ kann er 15 auch über den Pfad 29.2 vom RESET-Ausgang 164.1 des Watchdog-Schaltkreises 164 zurückgesetzt werden.

Durch die ENA/NINH-Kopplung von Regler 20, Watchdog 164 und Schaltkreis 100/100' wird der mit I_{C4} ruhebestromte Watchdog-Schaltkreis 164 schneller initialisiert, d. h. schon mit der aktiven ENE/NINH-Flanke, durch die der Regler 20 erst eingeschaltet wird, so daß er mit der hernach gegen die Stützkapazität 161 25 erst langsam ansteigenden Flanke von VCC diese Spannung sofort (z. B. auch auf zeitlich richtigen Anstieg) überwatchen kann.

Die Initialisierung des Watchdog-Schaltkreises bewirkt, daß mittels des Zeitbasismittels 169 — in praxi ein Quarz oder ein keramischer Resonator — eine oder 30 mehrere interne Zeitbasen für das Timing der Watchdog-Funktionen angeworfen werden, welche den Watchdog-Schaltkreis einerseits zur Generation und Abgabe von zeitlich genau definierten Signalen befähigen und ihm des weiteren ermöglichen, periodische Signale auf Präsenz und richtiges Timing (Wiederholfrequenz, Tastdauer- oder -verhältnis, Burst-Häufigkeit 35 etc.) zu prüfen.

So beschaffen kann dieser Schaltkreis beispielhaft 40 wenigstens die folgenden Funktionen erfüllen:

1. Überwachung wenigstens eines der Potentiale VBATT und VCC auf Nichtunterschreitung eines vorgegebenen Wertes bzw. auf Nichtverlassen eines vorgegebenen Zeitfensters absolut oder zu einer bestimmten Zeit, d. h. auch aus dem Block 110 45 des Schaltkreises 100/100' auslagerbare Funktionen.

2. Überwachung sowohl des Microcontrollers 21 als auch seines Softwareablaufes auf ordnungsgemäße Funktion. 50

Diese geschieht auf folgende Weise: Bei ordnungsgemäßer Funktion gibt der Microcontroller 21 an seinem BUSY-Ausgang 30 ein charakteristisches BUSY-Signal, beispielsweise einen Puls von z. B. 1 kHz Wiederholfrequenz aus. Die Präsenz dieses Signals unterdrückt im Watchdog eine RESET-Ausgabe an 164.1. Bleiben die entsprechenden BUSY-Impulse jedoch für z. B. 3 ms aus oder wiederholen sie sich mit einer anderen Frequenz oder in anderen Burst-Mustern (beispielsweise bei Überwachung mehrerer Microcontroller durch die Watchdogfunktion 164 in dem in Fig. 1 verallgemeinerten Sinne) wird ein RESET-Impuls aus- und über das Glied 36 an den Microcontroller abgegeben, so daß letzterer zurückgesetzt wird. Der Microcontroller wird dann genau so reinitialisiert wie durch das PWROR-Signal vom Spannungsregler 60

nach dessen Einschaltung.

3. Zyklisches Wecken eines Steuergerätes aus einem stromsparenden Lowpower- oder Shutdown-Mode und jeweilige Rückversetzung in diesen Mode.

Das zyklische Wecken kann ausgeführt werden wie folgt:

Die Applikationssoftware des Microcontrollers kann so ausgelegt sein, daß sie letzteren in einem Lowpower- oder Shutdown-Mode hält, der z. B. die Ausgabe von STB = "H" zur Aufrechterhaltung der Stromversorgung über den Schaltkreis 100/100' und den somit eingeschalteten Regler bewirkt. In festliegenden Zeitabständen, beispielsweise im Abstand von 20—500 ms, gibt der Watchdog-Schaltkreis INT-Impulse an den INT-Eingang 24.1 des Microcontrollers ab. Dadurch wird der Lowpower-/Shutdown-Mode beendet und der Microcontroller fragt die am (ggf. multiplen) Pfad 32 aktuell anstehenden Signale ab, die der Weck-Expander 165 aus einem oder mehreren an seinen Eingängen IN 1 bis IN 4 eventuell anliegenden Wecksignalen bereithält. Liegt eine solche Weckanforderung vor, kann er die applikationsgemäß für dieses oder diese Signale zugeordnete Software abarbeiten und — falls der Expander 165 zur Bereithaltung der Weckanforderung Speicherzellen umfaßt — diese zurücksetzen.

Diese Funktion kommt also in Frage, wenn bestimmte Wecksignale nur eine Applikation, nicht aber gleich das ganze CAN wecken sollen. Gleichwohl kann der Microcontroller — sofern dies in einer übergeordneten Busmanagementsoftware so vorgesehen ist — über EN und STB den Schaltkreis 100/100' und damit das gesamte CAN aktivieren. Dies wäre z. B. im Failsafe-Falle denkbar, wenn die applikationsspezifische Funktion aus irgend einem Grund versagt oder beispielsweise die Eingänge IN 1 bis IN 4 zu einer Alarmanlage gehören und es erwünscht wäre, daß im Alarmfalle im Microcontroller zuerst der Alarm plausibilitätsgeprüft wird um dann erst — in Abhängigkeit vom Prüfungsergebnis — über den Schaltkreis 100/100' und das Busnetz sämtliche Scheinwerfer oder Sirenen an entsprechenden Steuergeräten im Bus-System alarmhalber einzuschalten.

Kann der Microcontroller im letzten Beispiel kein Alarmsignal von IN 1 bis IN 4 feststellen, kommt es zum Programmstöp, folglich auch nicht zur Aktivierung von 100/100' und zur Unterbrechung des BUSY-Signals, folglich zum Reset durch den Watchdog-Schaltkreis 164, der den Microcontroller 21 folglich wieder in den ursprünglich initialen Lowpower-/Shutdown-Mode versetzt, bis der Watchdog-Schaltkreis 164 den nächsten INTERRUPT-Impuls an den Eingang 24.1 des Microcontrollers absetzt und der Zyklus von neuem beginnt. Auf diese Weise ist der durchschnittliche Betriebsstrom des Microcontrollers 21 je nach Interrupt-Frequenz und Dauer des Abfragezyklus auf 1/50 bis 1/1000 des normalen reduzierbar.

Der Vollständigkeit halber sei erwähnt, daß der ENA/NINH-Eingang 164.3 des Watchdog-Schaltkreises 164 unter gewissen Voraussetzungen auch als Ausgang für ein ENA/NINH-Signal an den Regler 20 wirkend vergleichbar dem des Halbleiterschaltkreises 100/100' ausgebildet sein kann, mit der Wirkung, daß die Stromver-

sorgung VCC des Microcontrollers zwischen einzelnen Abfragen des Expanders 165 auch vollständig abgeschaltet werden kann. Zu diesem Zweck kann der ENA/NINH-Ausgang des Schaltkreises 100/100' beispielsweise als Tristate-Ausgang und der Eingang 164.3 des Watchdog als Tristate-Transceiver-Port ausgebildet sein. Es können so einerseits der Regler 20 und der Watchdog 164 so lange dauernd eingeschaltet werden, wie das ENA/NINH-Einschaltsignal vom Schaltkreis 100/100' andauert, und es kann andererseits der Regler nur eine kurze Zeit lang zyklisch eingeschaltet werden, die beispielsweise durch die Dauer eines entsprechenden Impulses aus einem entsprechenden Transceiver-Port 164.3 vorgegeben wird.

In Fig. 5 ist des weiteren noch ein weiterer Microcontroller 21.1 angedeutet, der andere Funktionen als die der Bus-Kommunikation im Steuergerät erfüllen kann. Im Rahmen der Erfindung kann die Watchdog-Funktion 164 gleichwohl so ausgebildet sein, daß sie wenigstens eine, vorzugsweise aber aller dem Microcontroller 21 gebotenen Überwachungsfunktion/en auch für wenigstens einen solchen weiteren Microcontroller bietet.

Dieses Beispiel verdeutlicht, daß es der Schaltkreis 100/100' einerseits möglich macht, daß im Bus-Netz Teilnehmer in der Betriebsart SLEEP stromsparend verharren können, während andere Geräte durchaus in einem Lowpower-/Shutdown-Mode latent betriebsfähig gehalten werden, und daß er nicht ausschließt, daß ein damit ausgerüstetes Steuergerät ein applikations-spezifisch eigenes Stromsparmanagement für seinen Microcontroller abwickelt bzw. dem über den Schaltkreis 100/100' busorientierten sogar überlagern kann, je nach Applikationssoftware.

Der INIF-Ausgang 164.5 des Watchdog-Schaltkreises 164 gibt einen über den Pfad 168 vom INIF-Eingang 163.1 des Interface 163 empfangbaren Inhibit-Impuls aus, der zeitlich mit der Abgabe des Reset-Impulses am Ausgang 164.1 verkettet ist. Während der Dauer des Inhibits ist das Interface 163 gesperrt, damit undefinierte Ausgangsportzustände des Microcontrollers 21 im Augenblick seines Zurücksetzens über den Pfad 33 nicht einzelne Endstufen 163.2 aktivieren und für kurze Zeit Fehlbestromen verursachen können.

Ersichtlich beträgt die Gesamtstromaufnahme I_{SC} eines solchen Steuergerätes die Summe der Ströme $I_{IC1} - I_{IC4}$, wobei es sich hierbei im SLEEP-Mode um sehr kleine Ströme handelt. Der übrige Gesamtstrom des aktiven Steuergerätes fließt über den Regler 20.

Mit einer solchen Steuergerätekonfiguration können im industriellen Steuerungsbereich oder bei Verkehrsmitteln sehr viele Applikationen abgedeckt werden, wobei allerdings die benötigte Leistungskapazität von Microcontroller 21 und Input/Output-Interface 163 applikationsabhängig zu bemessen sind.

Wie eingangs erwähnt führte die Totalintegration der Konfiguration gemäß Fig. 5 zu einem Hyperchip. Eine solche Lösung scheint zunächst vorteilhaft insoweit, als sie das Problem einer großen Zahl von Hardware-Verbindungen zwischen dem Microcontroller 21 und seinen kooperativen Funktionen in den Schaltkreisen 100/100', 163, 165, und 35 beseitigte, indem die große Gesamtzahl entsprechender Leitungsverbindungen nur noch auf kleinstem Raum unzugänglich in einem solchen Hyperchip existierten. Die Zahl störungsanfälliger Lötstellen reduzierte sich hierbei ebenso wie die EMV-Problematik.

Dieser Vorteil ist jedoch kein echter, denn er wird

zunichte gemacht durch die eingangs erwähnten vielfältigen Nachteile und Probleme eines solchen Hyperchips. Eine alternative Teilintegration der Funktionen des Halbleiterschaltkreises 100/100' und des Expanders 165 mit der des Microcontrollers 21 beseitigte demgegenüber das Problem multipler Verbindungen bzw. Anschlüsse nur bezüglich 31 und 32, d.h. nur zu einem unbefriedigend geringen Teil, bei Weiterbestehen der eingangs erwähnten Nachteile. Hinzu tritt ein ganz neues, im Weck-Expander 165 ruhendes Problem, indem an dessen Eingängen IN 1 bis IN 4 in der Praxis u. U. noch höhere Fehler- bzw. Störspannungen anliegen können als am Bus CAN H/CAN L:

Da analog zu den Bus-Eingängen des Halbleiterschaltkreises 100/100' auch die Weckeingänge 7.1 eindringt gegen Bezugsmasse GND hochfrequente Einkopplungen empfangen können, ist auch die Schaltkreisfunktion 165 in hohem Maße elektromagnetischen Einstrahlungsfolgen in Funkwellenbereichen ausgesetzt. Eine Integration des Expanders zusammen mit dem Microcontroller erhöhte insoweit ein schon bestehendes Gefährdungspotential für letzteren extrem.

Ausgehend von diesen Erkenntnissen geht die Erfindung einen anderen Weg, auf dem nicht nur das Bau-raum-, Typen-Spreading- und Kostenproblem, sondern darüber hinaus auch noch die Probleme des Schutzes des Microcontrollers vor schädlichen Umfeldeinwirkungen und der vielzähligen Verbindungen am Microcontroller in einem Zug mittels eines einzigen Halbleiterschaltkreises 200 gemäß Fig. 6 ausgeräumt werden.

In diesem Halbleiterschaltkreis 200 ist nicht der den Spannungsregler 20 ansteuernde Halbleiterschaltkreis 100/100' mit seiner Interface-Funktion zwischen Zweidrahtbus und Bus-Protokoll-Modul 22 des Microcontrollers 21 in dessen Technologie mitintegriert, sondern es ist der Halbleiterschaltkreis 100/100' samt Expander 165 (und Glied 36) auf dem Chip und in der robusten Technologie des Spannungsreglers 20 mitintegriert.

Gleichfalls mit integriert in dieser robusten Technologie ist der Watchdog-Schaltkreis 164 mit all seinen Funktionen, vorzugsweise wenigstens den drei oben erwähnten. Im Rahmen der Erfindung wird es durch diesen Schritt des weiteren möglich, die Generation des PWROR-Signals vom Regler 20 in die noch um diese vierte Funktion erweiterte Watchdog-Reset-Funktion auszulagern, wie dies durch die zwei Wechselfeile zwischen Spannungsregler 20 und Watchdog-Funktion 164 in Fig. 6 versinnbildlicht ist.

Dieser Schritt bringt mehrere Vorteile in idealer Kombination, wie folgt.

a. In Verkörperung der Schaltkreise 20 (Regler IC1), 100/100' (Transceiver IC2), 165 (Wake-Up-Expander IC3) und 164 (Watchdog IC4) sind damit in homogener Technologie alle Schaltkreisfunktionen, die miteinander zusammenhängend gemeinsam mit Ruhestrom von VBATT zu versorgen und deshalb erhöhter Beschädigungsgefahr durch Jump-Start-, Load-Dump- oder sonstige Störbeaufschlagung des Potentials VBATT ausgesetzt sind, in der überlastungstragfähigen Technologie des Spannungsreglers auf einem Halbleiterchip zusammengefaßt.

Mit den Schaltkreisen 100/100' (IC2) und 165 (IC3) sind damit aber auch diejenigen Schaltkreise erfaßt, deren Eingänge CAN H/CAN L bzw. IN 1 bis IN 4 vom Bus bzw. aus dem Applikationsfeld hoher Störbeaufschlagungsgefahr ausgesetzt sind.

Daraus folgen für den resultierenden Gesamtschaltkreis 200 für hohe Widerstandsfähigkeit optimale Realisierungsbedingungen in der bewährten und dazu noch kostengünstigen Prozeßtechnologie wie für Spannungsregler bewährt und üblich.

b. Das Problem vielzähliger Verbindungen innerhalb eines Steuergerätes wird im Rahmen des erfindungsgemäßen Schaltkreises durch Mitintegration — auf dem Substrat des Spannungsreglers — einer nur wenige Anschlüsse aufweisenden seriellen Schnittstelle gelöst. Vorzugsweise kann hierfür eine maximal vier Anschlüsse aufweisende Schnittstellenfunktion vorgesehen werden. Im Rahmen der Erfindung kann dies beispielsweise eine UART-Schnittstelle, eine RS 232-Schnittstelle, oder beispielsweise ein standardisiertes Seriell/Parallel-Interface (SPI) oder ein Serielles Communication-Interface (SCI) 166 sein, das dann als Teilnehmer-schaltkreis an einem SPI/SCI-Bus innerhalb eines Steuergerätes verstanden werden kann, wie aus den nachfolgenden Fig. 7 und 8 ersichtlich. Durch diese Maßnahme wird das Problem vielzähliger Verbindungen und der darin ruhenden Möglichkeit von EMV-Störungen für das Steuergerät als Gesamtheit ausgeräumt.

Bei der in Fig. 6 beispielhaft illustrierten seriell/parallelen Schnittstelle 166 handelt es sich um ein wie oben erwähnt standardisiertes SPI 166, welches hier beispielhaft mit voller Anschlußbelegung vorgesehen ist, nämlich 166.1 für (SPI-)Takt (CLK), 166.2 für Dateneingang (Data IN), 166.3 für Datenausgang (Data OUT), sowie 166.4 für Aktivierung (ENSPI) des SPI. Im Rahmen des Schaltkreises 200 wird der ENSPI-Eingang allerdings nicht unbedingt benötigt. Die vorgenannten drei bis vier entsprechenden Pfade bilden den multiplen SPI-Pfad 201.1 zwischen dem Halbleiterschaltkreis 200 und dem Microcontroller 21 in den Fig. 7 und 8.

Die Erweiterung um eine serielle Schnittstelle wie z. B. ein SPI oder SCI 166 eröffnet den frei konfigurierbaren Einsatz des Halbleiterschaltkreises 200 bei einer minimalen Anschlußzahl in verschiedensten Applikationen.

Die bereits in Verbindung mit Fig. 4 aufgezeigte Universalität wird noch weiter erhöht, indem vermöge des SPI/SCI 166 wichtige Charakteristika des Schaltkreises 200 über nur drei bzw. vier Anschlüsse programmierbar ausgedeutet werden können:

- Das sog. Reset-Verhalten, etwa bezüglich des POWER ON-, POWER DOWN, VCC-Überwachungs- und BUSY-RESET;
- die verschiedenen Watchdog-Zeiten und Karenz-Fenster für die BUSY-Überwachung (Software-Watchdog) und System-Überwachung des Microcontrollers, ggf. auch für den ENA/NINH-Impuls, und alle sonst noch denkbaren Schaltkreisfunktionen unter Zeitkontrolle durch die Watchdog-Funktion;
- die Definition der Wake-Up-Eingänge 7.1: Ansprechpolarität, Ansprechart (Pegelsensitiv/Flankensensitiv), Hysteresis und Triggerschwelle;
- die Kommunikation mit dem CAN-Transceiver: Betriebsartensteuerung STB/EN vonseiten des Microcontrollers, interne Fehlerflagzuweisung für Fehlermeldungen an den Microcontroller, Slewrate-Einstellung über SR/SRC/SWM/STB/EN für FAST-CAN und SLOW-CAN-Betrieb sowie für

Bus-Testroutinen;

- die Grenzwerte für die Überwachung der anliegenden Potentiale VBATT und VCC sowie die Art der Auswertung auch im Hinblick auf die Erkennung einer stattgefundenen Unterbrechung der Stromzufuhr vom Potential VBATT;
- und andere.

Zu diesem Zweck kommuniziert das SPI 166 innerhalb des Schaltkreises 200 über interne Pfade 166.5 mit dem Regler 20, der Watchdog-Funktion 164, dem Weck-Expander 165 und dem im Schaltkreisbereich 100/100' verkörpert Bus-Transceiver und seinen diversen Funktionsblöcken gemäß Fig. 4. Der Wake-Up-Expander 165 ist hier mit nur zwei Eingängen IN dargestellt. Er benötigt dank der SPI-Erweiterung keine eigene multiple Verbindung 32 mit dem Microcontroller 21 mehr, da die Einlesung der Weck-Eingangsdaten vom Wake-Up-Expander 165 in den Microcontroller hier über den Datenpfad des SPI-Busses geschieht, ebenso die Zurücksetzung von Speichermitteln im Eingangsexpander, die z. B. zur Zwischenspeicherung von Weckanforderungen darin enthalten sind.

Der Expander 165 weist daher — um eine solche Einlesung zu initiieren — nur noch einen INTERRUPT-Ausgang 4' auf, von dem aus über einen Pfad 29.5 der entsprechend SPI-fähige Microcontroller 21 zur Einlesung veranlaßt werden kann, vgl. Fig. 7. Ein zyklisches Wecken zu diesem Zweck des Microcontrollers wird auch hier gesteuert durch die Watchdog-Schaltkreisfunktion 164 wie oben bezüglich Fig. 5 bereits beschrieben. Der Wake-Up-Expander 165 kann des weiteren optional noch einen Power OFF-Ausgang 32.1 aufweisen, über den in Anhängigkeit von spezifischen Eingangssignalen ein Abschaltsignal POWER OFF zur beliebigen Verwendung unter Umgehung sowohl des Microcontrollers als auch z. B. dessen Weckzyklus abgegeben werden kann. Dies kann sehr nützlich sein für Fälle, in denen Weckzyklen zum Einlesen von Weckanforderungen sehr lange dauern. Als externes zeitbestimmendes Element 169 am Anschluß 164.9 der Watchdog-Funktion ist hier beispielhaft ein Kondensator vorgesehen. Bis auf die neuen Anschlüsse 201 (SPI-Bus), 32.1 (Wake Up/Power Off) und 4' (INT/Wake Up Expd) entsprechen die Anschlüsse dieser Schaltkreisfunktion den zuvor bereits erläuterten. Es ist also wesentlich, daß die Anschlüsse für STBN, EN, ERR/INT, SR, SRC/TEST in Fig. 4 hier nicht mehr auftauchen, da sie über den SPI-Bus 201 bedient werden. Ersichtlich kann der SPI-kommunikationsfähige Transceiver 100/100' und der SPI-kommunikationsfähige Wake-Up-Expander analog zu Fig. 5 auch hier als durch Kombination erweiterte Schaltkreisfunktion 100.1 verstanden werden, die zusammen mit dem SPI-Interface 166 einen "Über-Schaltkreisfunktion" 100.2 bildet.

Zur Vollständigkeit sei darauf hingewiesen, daß ein entsprechender Super-Chip 200 für Multi-Microcontroller-Bedienung selbstverständlich mehrere Reset- und INIF-Ausgänge aufweisen kann wie sinngemäß schon in Verbindung mit Fig. 5 erwähnt.

Das Verpolschutzelement 19 vor dem Reglereingang 20.1 ist zweckmäßig nicht mitintegriert. Die angeedeuteten Siebkapazitäten 161 und 161.1 an VCC bzw. VBATT stützen diese Potentiale gegen Einbrüche ab bzw. bewirken eine kontrollierte Spannungshaltung, wenn über das Element 19 kein Strom mehr fließt, damit ein geregelter Programmabbruch im Microcontroller und/oder eine Datensicherung in ein E²PROM noch möglich ist.

Da SPI-fähige Microcontroller im CAN-Bereich weit Verbreitung finden werden und deshalb kostengünstige Massenbauelemente sind, repräsentiert dieser komplett in einer Hochvolt-Technologie herstellbare "Super-Chip" das, was — im Gegensatz zu einem komplett neuen, nur in Niederspannungstechnologie herstellbaren Hyperchip einschließlich dessen Schutzmittel und -maßnahmen — mit herkömmlichen, kostengünstigen Massen-Bauelementen nur noch verbunden zu werden braucht, um in jeder Hinsicht ein ausgezeichnetes Gesamtergebnis zu erreichen.

Die Fig. 7 veranschaulicht ein Steuergerät, das durch Implementation der Gesamtfunktionalität 200 gemäß Fig. 6 im Steuergerät gemäß Fig. 5 entsteht, wenn zugleich auch der Microcontroller 21 und das Input/Output-Interface 163 oder Teile 1632, 1633 davon mit SPI-Schnittstellen versehen werden. Es ist aus dieser Darstellung die Wirkung des Super-Chips 200 als Barriere 1 bezüglich von links einfließender Störungen aus dem CAN-Busfeld ersichtlich; durch den Super Chip 200 wird erreicht, daß Überspannungen, Transienten, Hochfrequenzstörungen etc. die gestrichelte Linie 301 zwischen Microcontroller 21 und Super-Chip 200 nicht mehr erreichen bzw. überschreiten können. Eine analoge Barriere 2 gegen Störeinströmungen aus dem Applikationsfeld kann auch das Interface 163 bei analoger Ausführung in einer robusten Technologie seiner Schaltkreise 1631, 1632, 1633 bilden. Dadurch wird dann erreicht, daß auch von rechts aus dem Applikationsfeld einfließende Störungen wie Überspannungen, Transienten, Hochfrequenzeinstreuungen etc. die gestrichelte Linie 301 zwischen Microcontroller 21 und Interface 163 nicht mehr erreichen bzw. überschreiten können.

Auf diese Weise ist der empfindliche Microcontroller 21 bezüglich seiner Verbindungen zum Bus- und Applikationsfeld für Störungen gänzlich verschlossen.

Diese Abschirmfunktion 301 wird ergänzt und unterstützt durch eine hohe EMV-Freundlichkeit eines entsprechend aufgebauten Steuergerätes, weil es selbst bei höchster Komplexität der Applikation nur noch wenige kritische, als Störein- und -abstrahl-Antennenschlaufen wirkende Verbindungsleitungen am hoch getakteten Microcontroller gibt. Im Beispiel der Fig. 7 ist bereits der komplexeste Fall, nämlich ein Microcontroller mit zwei unabhängigen SPI-Schnittstellen 208.1 und 208.2 und je einem separaten SPI-Bus 201.1 und 201.2 für Bus- und Wake-Up-Bedienung bzw. das Interface 163 vorgehen. In den meisten Fällen wird jedoch ein Microcontroller mit nur einer SPI-Schnittstelle 208 ausreichen, so daß dann die beiden SPI-Schnittstellen 208.1 und 208.2 angeedeutetermaßen verschmelzen und auch die beiden Busse 201.1 und 201.2 in einem Bus 201 aufgehen, wie dies auch in der Fig. 8 veranschaulicht ist. Da folglich Platz für eine EMV-gerechte Gestaltung der Leiterbahnführung zwischen Microcontroller und Umfeld auf einer entsprechenden Leiterplatte eines Steuergerätes gewonnen wird, bringt der Schaltkreis 200 auch noch in dieser Hinsicht ein Potential für Kosteneinsparungen, die bis hin zur Minimierung des Abschirmaufwandes für ein entsprechendes Gerät reichen.

Um die Allgemeinheit nicht zu beschränken sind in Fig. 7 noch optionale Verbindungspfade 29.2 und 172 zwischen dem CAN-Transceiver 100/100' und dem Microcontroller 21 sowie entsprechende Ports des letzteren für SR- und SRC/TEST-Signale (wie in Verbindung mit Fig. 4 erläutert) parallel zum SPI-Pfad 201.1 gestrichelt dargestellt. Obschon diese Pfade im SPI-Pfad 201.1 implementiert sein können, kann eine derartige Verbin-

dung für besondere Zwecke vorteilhaft sein. Eine Notwendigkeit für ihre Realisierung besteht im Rahmen der hier angewandten SPI-Architektur für ein Steuergerät jedoch nicht mehr, wie bereits oben erläutert.

Auch bezüglich der Verbindung zwischen Microcontroller 21 und Interface 163 ist hier ein allgemeiner Fall dargestellt. Das Interface-Submodul 1631 mit Endstufe 1631.2 und Signalaquisition 1631.3 kommuniziert mit dem Microcontroller 21 analog zu Fig. 5 herkömmlich über den I/O-Port des Controllers vermöge des multiplen Pfades 33. Das Interface-Submodul 1632 mit Endstufe 1632.2 und Signalaquisition 1632.3 ist SPI-fähig und kommuniziert mit dem Microcontroller 21 über den SPI-Pfad 201.2 zwischen dem SPI-Port 208.2 des Microcontrollers und dem SPI-Port 1632.6 des Interface-Submoduls. Das Interface-Submodul 1633 mit Endstufe 1632.2 und Signalaquisition 1632.3 ist SPI-fähig und kommuniziert mit dem Microcontroller 21 ebenfalls über den SPI-Pfad 201.2 zwischen dem SPI-Port 208.2 des Microcontrollers und seinem SPI-Port 1633.6. Zusätzlich weist es auch noch einen vom Microcontroller über einen Pfad 210 ansteuerbaren ENABLE-Eingang 1633.4 und einen mit dem Microcontroller 21 über den Pfad 211 verbundenen ERROR-Ausgang 1633.5 auf, von dem aus eine Fehlermeldung am SPI-Pfad vorbei an den Microcontroller übermittelbar ist. Über seinen EN-Eingang kann dieses Modul somit selektiv gesperrt werden. Die Module 1632 und 1633 weisen des weiteren noch dem Eingang 163.1 in Fig. 5 entsprechende Eingänge 1632.1 bzw. 1633.1 auf, denen über den Pfad 168 von der Watchdog-Funktion 166 im Super-Chip 200 das erläuterte INIF-Signal zugeführt werden kann, um die Ausgänge dieser Module im Falle eines Reset des Microcontrollers 21 für eine gewisse kurze Zeitdauer zu blockieren.

In Fig. 7 ist des weiteren angedeutet, daß im Rahmen der Erfindung auch noch ein nichtflüchtiger Speicher 35' — entsprechend dem nichtflüchtigen Speicher 35 in Fig. 5 — im Super-Chip 200 mitintegriert sein kann. Er kann beispielsweise als EEPROM aufgeführt werden.

Dieser Speicher kann einerseits dazu dienen, die Konfiguration des Super-Chips 200 für dessen POWER ON-Phase abzuspeichern, wobei eine solche Abspeicherung sowohl innerhalb der Schaltkreisfunktionalität des Super-Chips 200 autonom oder vom Microcontroller 21 über den Pfad 201.1 aus erfolgen kann. Andererseits können in diesem nichtflüchtigen Speicher auch Initialisierungsdaten für den Microcontroller bzw. das Gesamtsteuergerät abgelegt werden, beispielsweise betreffend die relevante Konfiguration des Interface 163. Eine weitere Verwendungsmöglichkeit eines solchen Speichers 35' besteht darin, Fehlerzustände auf CAN H und/oder CAN L im SLEEP-Mode abzulegen. Für die vorgenannten Zwecke reichen 64 bis 256 Byte völlig aus, um derlei Möglichkeiten abzudecken.

Die Mitintegration dieses EEPROMs kann nicht nur unter Wirtschaftlichkeitsgesichtspunkten sinnvoll sein. Vielmehr erlaubt sie die Bauteile- und Verbindungszahl auf der Leiterplatte eines entsprechenden Steuergerätes auf ein absolutes Mindestmaß zu beschränken und den Microcontroller 21 mit allen in jedem Steuergerät benötigten Elementen auf kleinstem Raum unterzubringen. Daraus resultieren wiederum EMV- und Kostenvorteile.

In der Fig. 8 ist schließlich dargestellt, daß der Halbleiterschaltkreis 200 als Basis für eine neuartige Steuergeräte-Technologie dienen kann. Im Rahmen dieser Technologie können solche Geräte gewissermaßen als

"Mainframes" — umfassend den Schaltkreis 200 und den Microcontroller 21 mit CAN-Modul 22 oder universell ausgelegte SMD-Auflötlflächen für verschiedene, für unterschiedliche Applikationen in Frage kommende Microcontroller umfassen, sowie ein Ergänzungsfeld 300, in dem nur noch applikationsspezifisch zu entwickelnde "Extended Interfaces" 202, 203, 204 einzufügen und anzuschließen sind, die den Interface-Submodulen 1631 bis 1633 in Fig. 7 entsprechen.

Diese Interfaces können ebenfalls, müssen aber nicht SPI-fähig sein, wie angedeutet. Bezüglich ihrer Eingänge 206 und Ausgänge 207 können sie individuell geschützt ausgebildet werden, so daß ein Schutzpfad über das "Mainframe" mit Microcontroller nicht mehr benötigt wird. Auf diese Weise ist eine hohe Isolation des Microcontrollers 21 gegenüber dem Applikationsfeld erreichbar.

Augenfällig ist, daß das zwei unterschiedliche Halbleitertechnologien (z. B. 60—90 Volt-Prozeß für den Super-Chip, 3—5 Volt-Prozeß für den Microcontroller) verbindende Mainframe an einem Ort vorgefertigt und als solches dann an einem anderen Ort mit Extended Interfaces — erforderlichenfalls auch mit dem passenden Microcontroller — applikationsspezifisch bestückt und programmiert werden kann. Daraus ergeben sich nicht nur logistische Vorteile. Vielmehr wird durch eine solche Architektur auch die Möglichkeit für ein Recycling auf Reparatorebene geboten.

Die Fig. 1 veranschaulicht in symbolischer Illustration die im Halbleiterschaltkreis 200 integrierbaren Funktionen und deren wichtigste Verbindungen mit der Peripherie.

Dabei ist ein erfindungsgemäßer Halbleiterschaltkreis 200 dargestellt, dessen Watchdog-Funktion 164 optional über mehrere RESET-Ausgänge und mehrere INIF-Ausgänge für die Bedienung mehrerer Microcontroller bzw. -computer verfügt. Des weiteren ist veranschaulicht, daß die in der Beschreibung und der Zeichnung implementierte SPI-Schnittstellenfunktion 166 nur als Beispiel ohne Beschränkung zu verstehen ist. Die Schnittstellenfunktion 166 kann im Rahmen der Erfindung also auch durch eine SCI-(Serial Communication Interface)-Schnittstellenfunktion ersetzt sein, unter der in weitestem Sinne z. B. auch eine UART- oder RS 232-Schnittstelle zu verstehen sind. Des weiteren ist in Fig. 1 symbolisiert, daß unter dem zweidrähtigen Bus im Rahmen der Erfindung der erläuterungshalber zugrundegelegte CAN-Bus keinerlei Einschränkung bezüglich eines zweidrähtigen Busses darstellen soll.

In der vorangegangenen Figurenbeschreibung von Ausführungsbeispielen wurde/n als eine Möglichkeit eine Implementation der Erfindung für einen CAN-Bus beschrieben und deshalb auch auf diesem Gebiet eingeführte Bezeichnungen verwendet. Gleichwohl überspannt die Erfindung auch anders standardisierte zweidrähtige Busse. Sie ist deshalb in entsprechend ausgestatteten Steuergeräten — beispielsweise nach J1850- oder ähnlichen Standards — genau so vorteilhaft einsetzbar.

Dieser Allgemeingültigkeit ist in der Zeichnung dadurch Rechnung getragen, daß für die Busleitungen sowohl eine neutrale Bezeichnung der Busleitungen mit BUS H und BUS L als auch eine für die gewählten Ausführungsbeispiele nach CAN zutreffende mit CAN H und CAN L getroffen ist. Auch in den Ansprüchen ist dem Rechnung getragen durch durchgängige Verwendung der allgemeineren Bezeichnungen BUS H und BUS L und BUS H/BUS L, je nachdem ob eine

einzelne Busader oder der Bus als System oder beide Adern im Sinne des Busleitungsnetzes gemeint sind.

Patentansprüche

1. Halbleiterschaltkreis für ein elektronisches Steuergerät mit wenigstens einem Microcontroller, umfassend einen Spannungsregler zum Bereitstellen — aus einer ersten Versorgungsspannung (VBATT) — einer zweiten Versorgungsspannung (VCC) für den wenigstens einen Microcontroller sowie für mit diesem/diesen kooperative Schaltkreise des Steuergerätes, dadurch gekennzeichnet, daß er neben dem Spannungsregler (20) als Monolith ferner umfaßt:

— Eine Transceiver-Funktion (100, 100') mit Sende- und Empfangsmitteln (130, 133; 120) zur Kopplung eines mit dem Schaltkreis kooperativen Microcontrollers (21) an einen Zweidrahtbus (BUS_H/BUS_L).

2. Halbleiterschaltkreis nach Anspruch 1 dadurch gekennzeichnet,

— daß die Transceiver-Funktion (100, 100') bezüglich ihrer Sende- und Empfangsmittel (130, 133; 120) so beschaffen ist, daß diese tolerant gegenüber allen möglichen Fehlerzuständen im und am Busleitungsnetz sind, sofern alle Busteilnehmer sich bezüglich des Busleitungsnetzes (BUS_H/BUS_L) kompatibel verhalten.

3. Halbleiterschaltkreis nach Anspruch 1 dadurch gekennzeichnet,

— daß die Transceiver-Funktion (100, 100') bezüglich ihrer Sende- und Empfangsmittel (130, 133; 120) so beschaffen ist, daß deren Slewrate einflußbar (170.3, 81, 180; 170.2, 82; 170, 171), insbesondere an die Bus-Bitzeit und/oder Baudrate der Kommunikation anpaßbar, ist.

4. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet,

— daß er über wenigstens einen Betriebszustand (SLEEP) verfügt, in welchem die Sende- und Empfangsmittel (133) der Transceiverfunktion (100, 100') ohne Einfluß auf den Bus (BUS_H/BUS_L) sind und in welchem der Spannungsregler (20) abgeschaltet ist (VCC = Null), und

— daß er mit dem Bus (BUS_H, BUS_L) in Verbindung stehende Weck-Erkennungsmittel (111) und Steuermittel (140, 141) umfaßt, mittels derer er zwecks Verlassen dieses wenigstens einen Betriebszustandes (SLEEP) den Spannungsregler (20) einschalten (ENA/NINH) kann.

5. Halbleiterschaltkreis nach Anspruch 4, dadurch gekennzeichnet,

— daß er Steuermittel (142; 166, 166.5) umfaßt, durch die der mit der Transceiver-Funktion des Schaltkreises kooperierende Microcontroller (21) den Schaltkreis (200) in den SLEEP-Zustand zurückversetzen (STB, EN; 201.1) kann.

6. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß er als Monolith ferner umfaßt:

— Mittel (164) zur Realisierung einer Watchdog-Funktion wenigstens zur

— Rücksetzung (164.1) des mit der Transceiverfunktion des Schaltkreises kooperierenden Microcontrollers (21);

- Überwachung der ordnungsgemäßen Funktion des mit der Transceiver-Funktion des Schaltkreises kooperierenden Microcontrollers (21) und seiner ordnungsgemäßen Programmabwicklung (164.4).
7. Halbleiterschaltkreis nach Anspruch 6, dadurch gekennzeichnet,
- daß die Mittel (164) zur Realisierung einer Watchdog-Funktion ferner so beschaffen bzw. ausgestattet sind (164.7, 164.8) sind, daß sie noch wenigstens einen weiteren Microcontroller (21.1) des Steuergerätes unabhängig zurücksetzen und/oder eine Überwachung der ordnungsgemäßen Funktion und Programmabwicklung des wenigstens einen weiteren Microcontrollers (21.1) zu leisten vermögen.
8. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß er als Monolith ferner umfaßt:
- Mittel (20, 20.4; 164; 164.6) zur Erzeugung und Übermittlung (29.1; 29.4) — nachdem die zweite Versorgungsspannung (VCC) aufgebaut ist — eines Rücksetzsignales (PWROR) an den wenigstens einen Microcontroller (28, 21).
9. Halbleiterschaltkreis nach Anspruch 6 oder 8, dadurch gekennzeichnet, daß er als Monolith ferner umfaßt:
- Mittel (164) zur Abgabe (164.5; 164.7, 164.8) wenigstens eines Sperrsignals (INIF) in Zusammenhang mit der Erzeugung (164) und Übertragung (29.1, 29.2, 29.4; 164.7) wenigstens eines Rücksetzsignales an den wenigstens einen Microcontroller (21, 28; 21.1).
10. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß er als Monolith ferner umfaßt:
- Mittel (110; 164) zur Überwachung wenigstens einer der beiden Versorgungsspannungen (VBATT, VCC) bezüglich wenigstens eines Grenzwertes sowie
- Mittel zur Abgabe eines INTERRUPT-Signals (143, 145) oder eines RESET-Signals (164, 164.1) an wenigstens den mit der Transceiver-Funktion (100, 100') kooperierenden Microcontroller (21), wenn dieser Grenzwert unter- oder überschritten wird.
11. Halbleiterschaltkreis nach Anspruch 4, dadurch gekennzeichnet, daß er als Monolith ferner umfaßt:
- Autonomie Mittel (165) zur Erfassung, ohne Beteiligung der Weck-Erkennungsmittel (111), wenigstens eines Wecksignales wenigstens in Zeiträumen reduzierter Aktivität des wenigstens einen Microcontrollers (21, 21.1).
12. Halbleiterschaltkreis nach Anspruch 4, dadurch gekennzeichnet,
- daß er wenigstens einen besonderen Eingang (7) aufweist, über den die mit dem Bus (BUS H/BUS L) in Verbindung stehenden Weck-Erkennungsmittel (111) in der Betriebsart SLEEP mit einem Wecksignal beaufschlagbar sind, und
- daß der Halbleiterschaltkreis (200) ferner so beschaffen ist, daß sein Verhalten auf ein Wecksignal an diesem wenigstens einen besonderen Eingang (7) identisch mit seinem Verhalten bei Empfang eines Wecksignales über den Bus (BUS H, BUS L) ist.
13. Halbleiterschaltkreis nach Anspruch 11, dadurch gekennzeichnet,

- daß die autonomen Mittel (165) wenigstens eine Speicherzelle zur Speicherung eines Weckereignisses in Zeiträumen reduzierter Aktivität des wenigstens einen Microcontrollers (21, 21.1) aufweist.
14. Halbleiterschaltkreis nach einem der vorherigen Ansprüche, dadurch gekennzeichnet,
- daß er bezüglich wenigstens einer der neben dem Spannungsregler (20) mitumfaßten Funktionen (110, 120, 130, 140, 170; 164, 165; ENA/NINH, PWROR; EN, STB, SR, SRC/SWM, RESET, INIF, BUSY, INT an 24.1, INT an 24.2) und/oder deren Grenzwerte und/oder deren Zeitverhalten und/oder deren Wahrheitsbedingung(en) programmierbar ist (Konfigurationsprogrammierung).
15. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet,
- daß er als Monolith ferner einen nichtflüchtigen Speicherbereich (35'), beispielsweise als EEPROM ausgeführt, umfaßt.
16. Halbleiterschaltkreis nach Anspruch 14 und 15, dadurch gekennzeichnet,
- daß in dem nichtflüchtigen Speicherbereich (35') wenigstens die Programmierung der Konfiguration des Schaltkreises als Datensatz ablegbar ist.
17. Halbleiterschaltkreis nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß er als Monolith ferner umfaßt:
- Ein Interface (166, SPI, SCI, RS 232, UART, etc.) zum seriellen Austausch (201.1) von Daten und/oder Steuersignalen zwischen dem Halbleiterschaltkreis (200) und wenigstens dem mit der Transceiver-Funktion (100, 100') des Schaltkreises kooperierenden Microcontroller (21; 21.1).
18. Halbleiterschaltkreis nach den Ansprüchen 14, 16 und 17, dadurch gekennzeichnet,
- daß der nichtflüchtige Speicherbereich (35') des Schaltkreises von dem mit dem Schaltkreis kooperierenden Microcontroller (21) über das Interface (166' SPI, SCI, RS 232, UART, etc.) bedienbar, insbesondere überschreibbar, ist.
19. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet,
- daß er zwei Anschlüsse (T; 8, 9) zum Anschluß zweier externer Abschlußelemente (16, 17) für die beiden Busadern (BUS H, BUS L) sowie interne Busfehler-Erkennungsmittel (132) und interne Ersatzabschluß- und Umschaltmitteln (131) aufweist, um im Fehlerfalle den Busabschluß zu verändern.
20. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet,
- daß die Transceiver-Funktion (100, 100') sowohl bezüglich ihrer Sende- und Empfangsmittel (130, 133; 120) als auch bezüglich ihrer Steuermittel (142; 157; 172/SWM) so beschaffen ist, daß sie wahlweise zweidrähtig differentiell oder eindrähtig auf wenigstens einer Busader (BUS H, BUS L) gegen ein Bezugspotential, beispielsweise gegen Bezugsmasse (GND), senden und empfangen kann.
21. Halbleiterschaltkreis gemäß Anspruch 20, dadurch gekennzeichnet,
- daß er integraler Bestandteil eines elektronischen Steuergerätes ist, in welchem er für

nur eindräftigen Empfang und nur eindräftige Sendeweise (mit nur einem Leitungstreiber in 133) beschaltet oder ansteuerbar (142, 157, 172/SWM) ist.

22. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet, 5

— daß der Schaltkreis Bestandteil eines zum Einsatz in einem Verkehrsmittel vorgesehenen elektronischen Steuergerätes ist.

23. Halbleiterschaltkreis gemäß Anspruch 1, dadurch gekennzeichnet, 10

— daß er integraler Bestandteil eines zum Einsatz in einer Industrieumgebung vorgesehenen elektronischen Steuergerätes ist.

24. Halbleiterschaltkreis nach Anspruch 1, dadurch gekennzeichnet, 15

— daß die Transceiver-Funktion (100, 100') für eine Kommunikation nach CAN-Standard und zum Anschluß an ein CAN-Busleitungsnetz (CAN H/CAN L) ausgelegt ist. 20

25. Halbleiterschaltkreis nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, 25

— daß er in einer homogenen Hochvolt-Technologie hergestellt ist.

Hierzu 7 Seite(n) Zeichnungen

25

30

35

40

45

50

55

60

65

- Leerseite -

Fig. 1

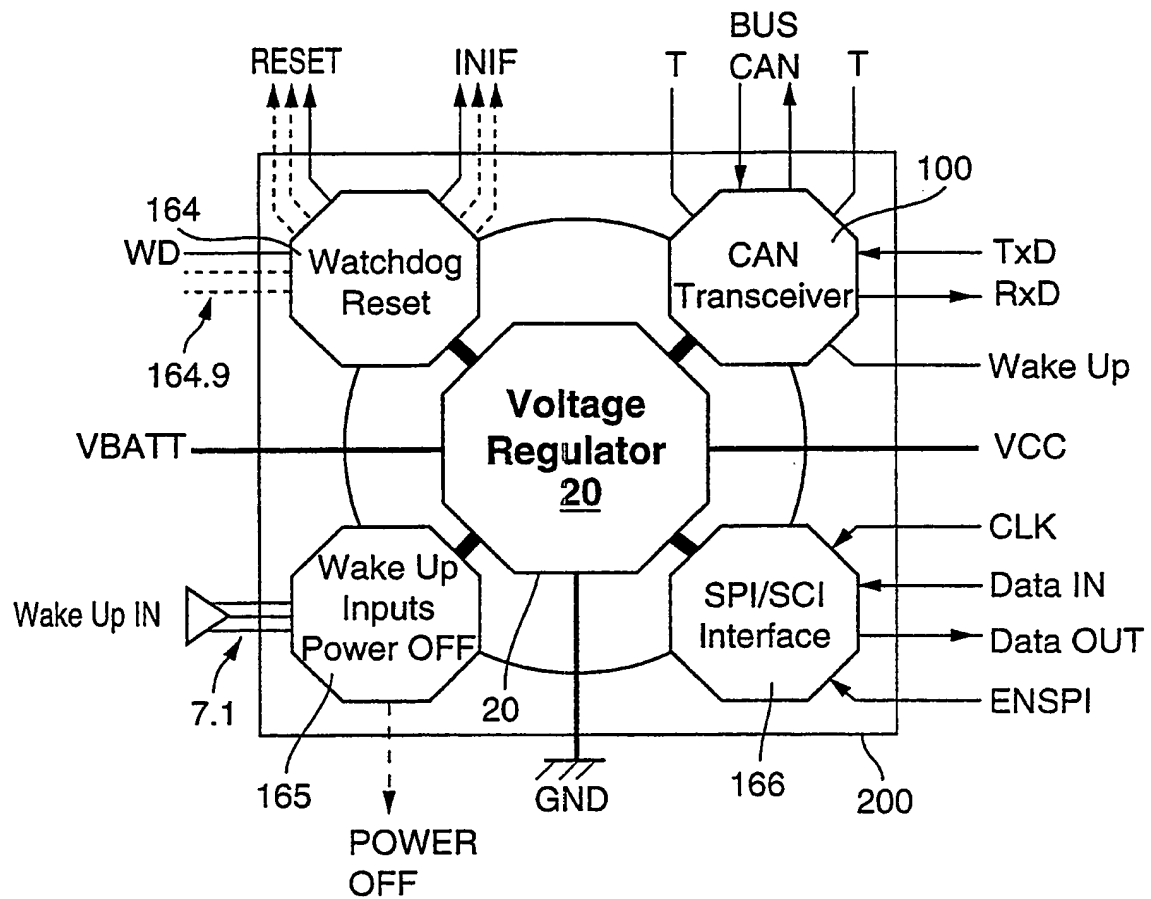


Fig. 2

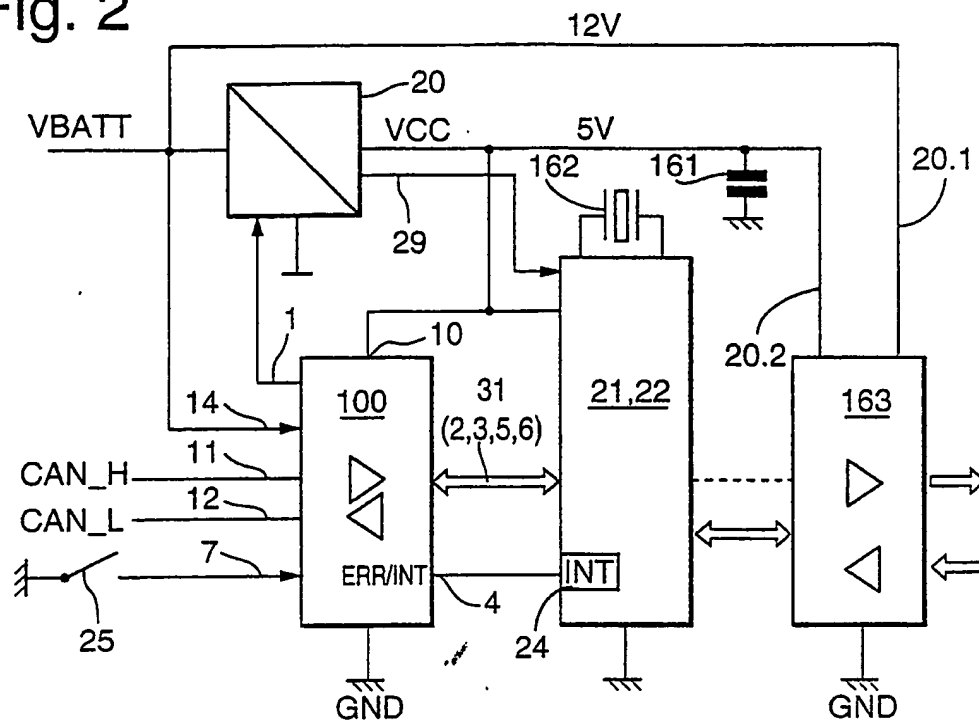
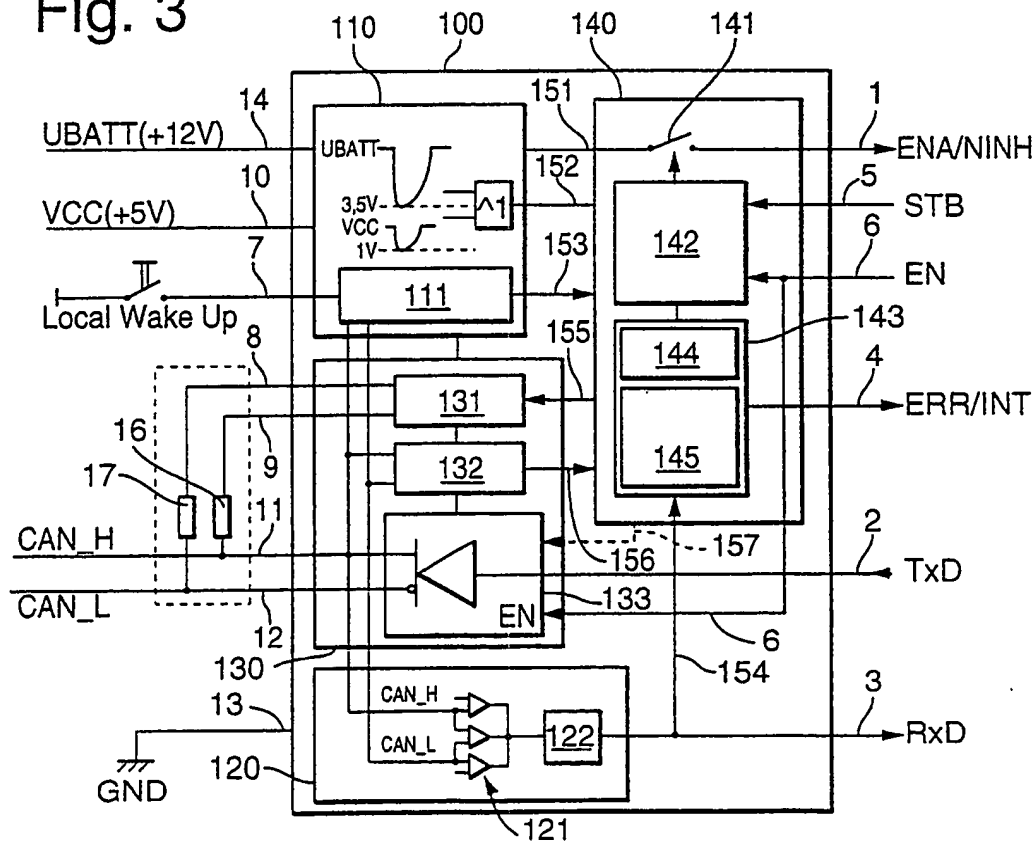


Fig. 3



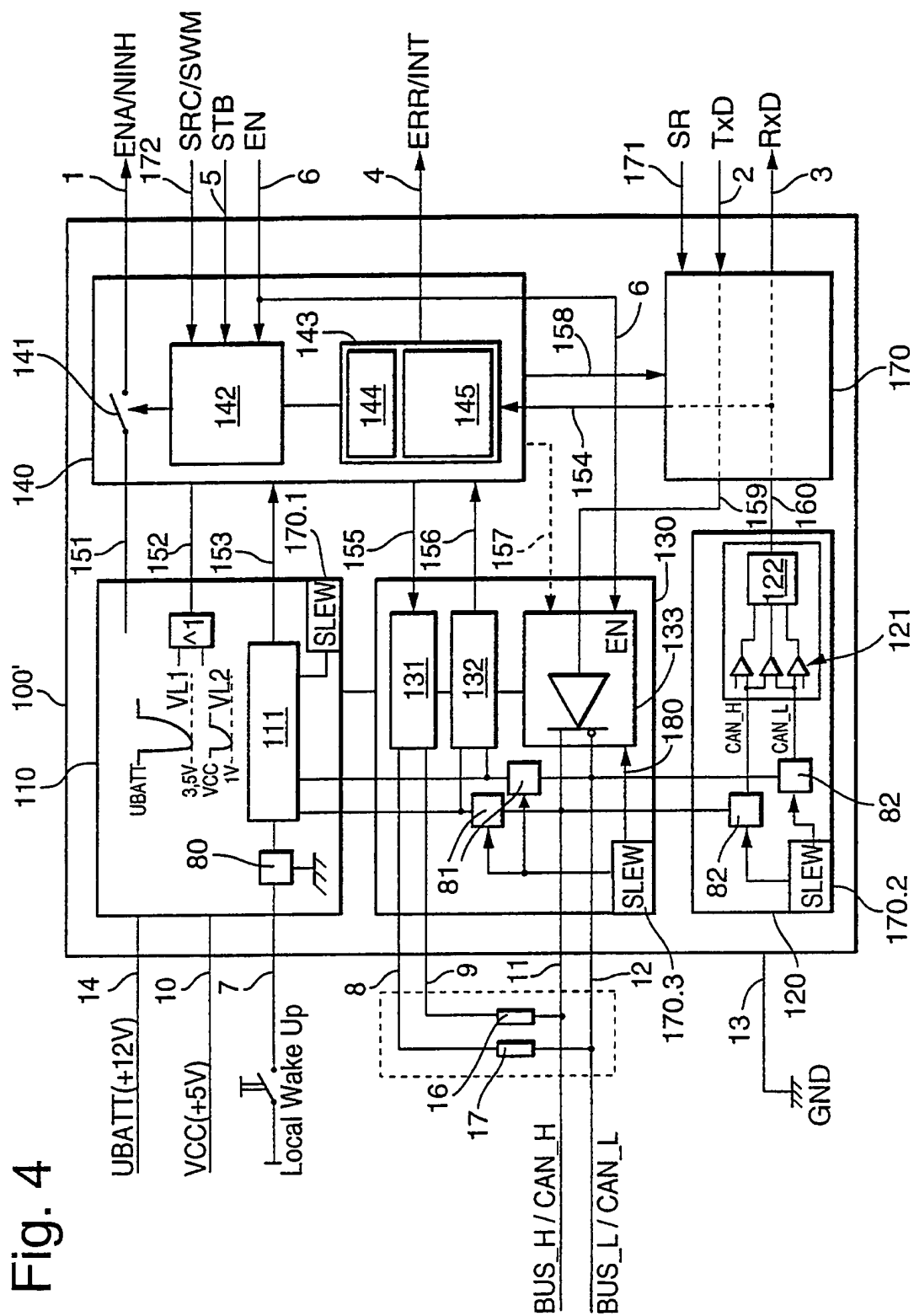


Fig. 4

Fig. 5

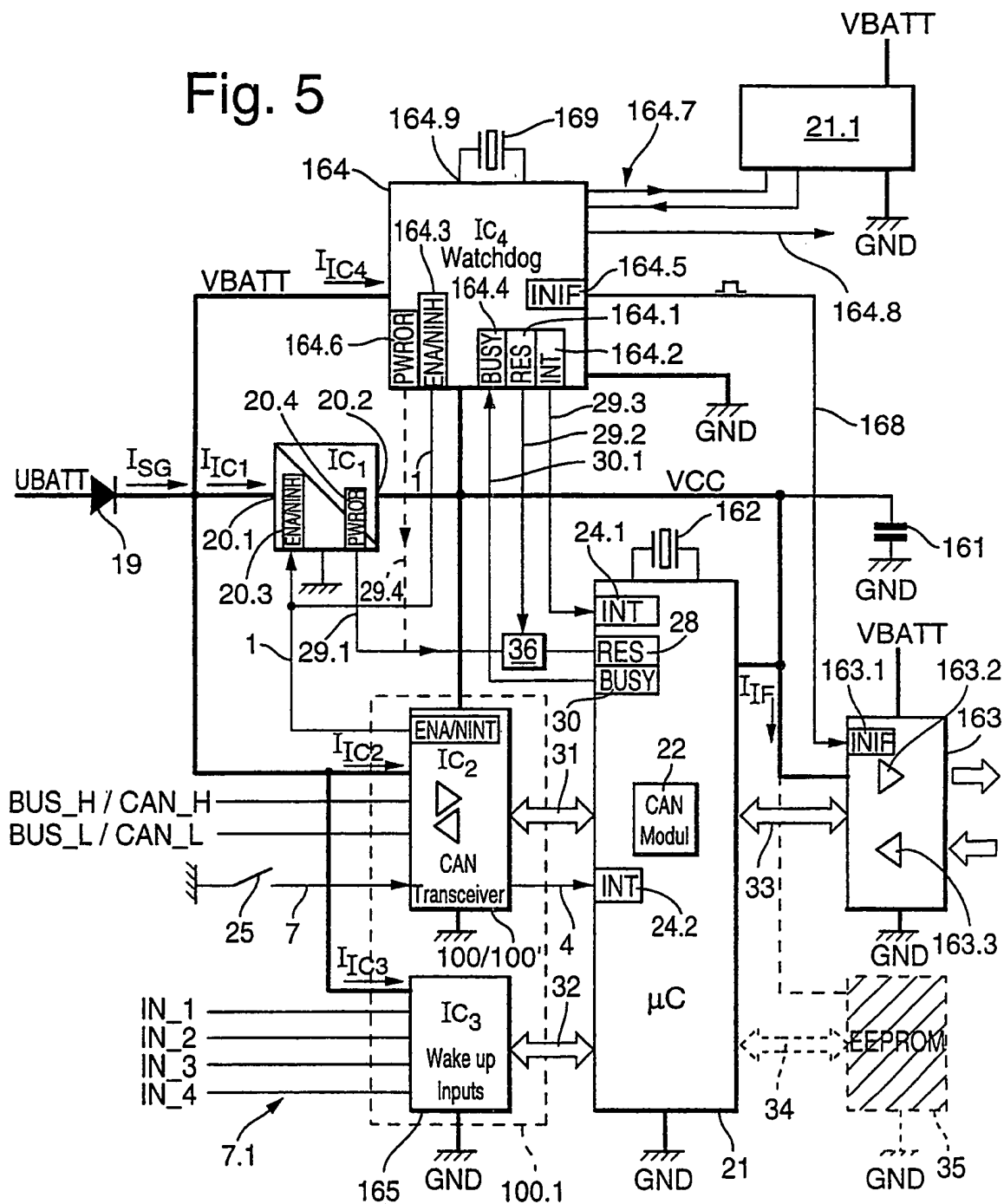
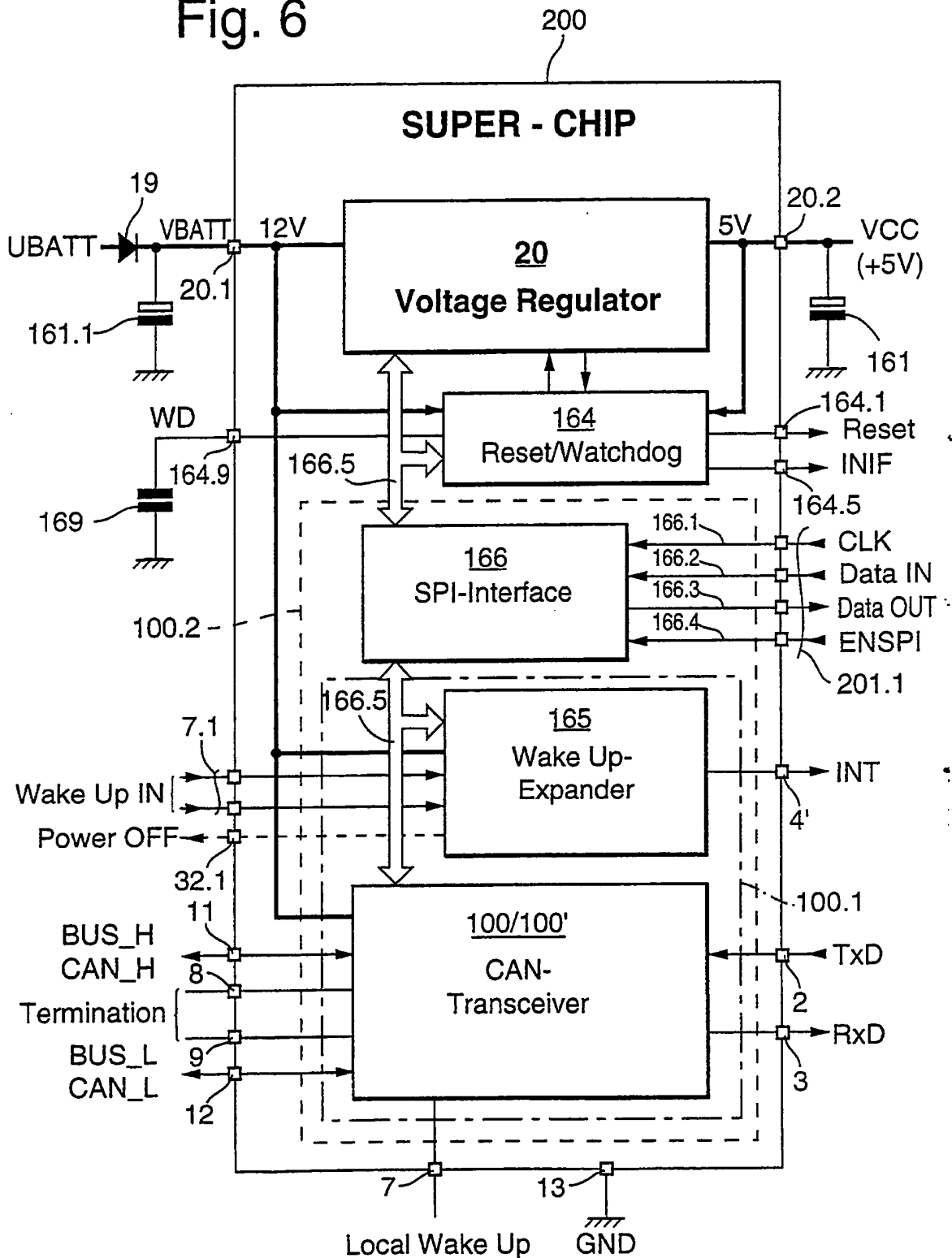


Fig. 6



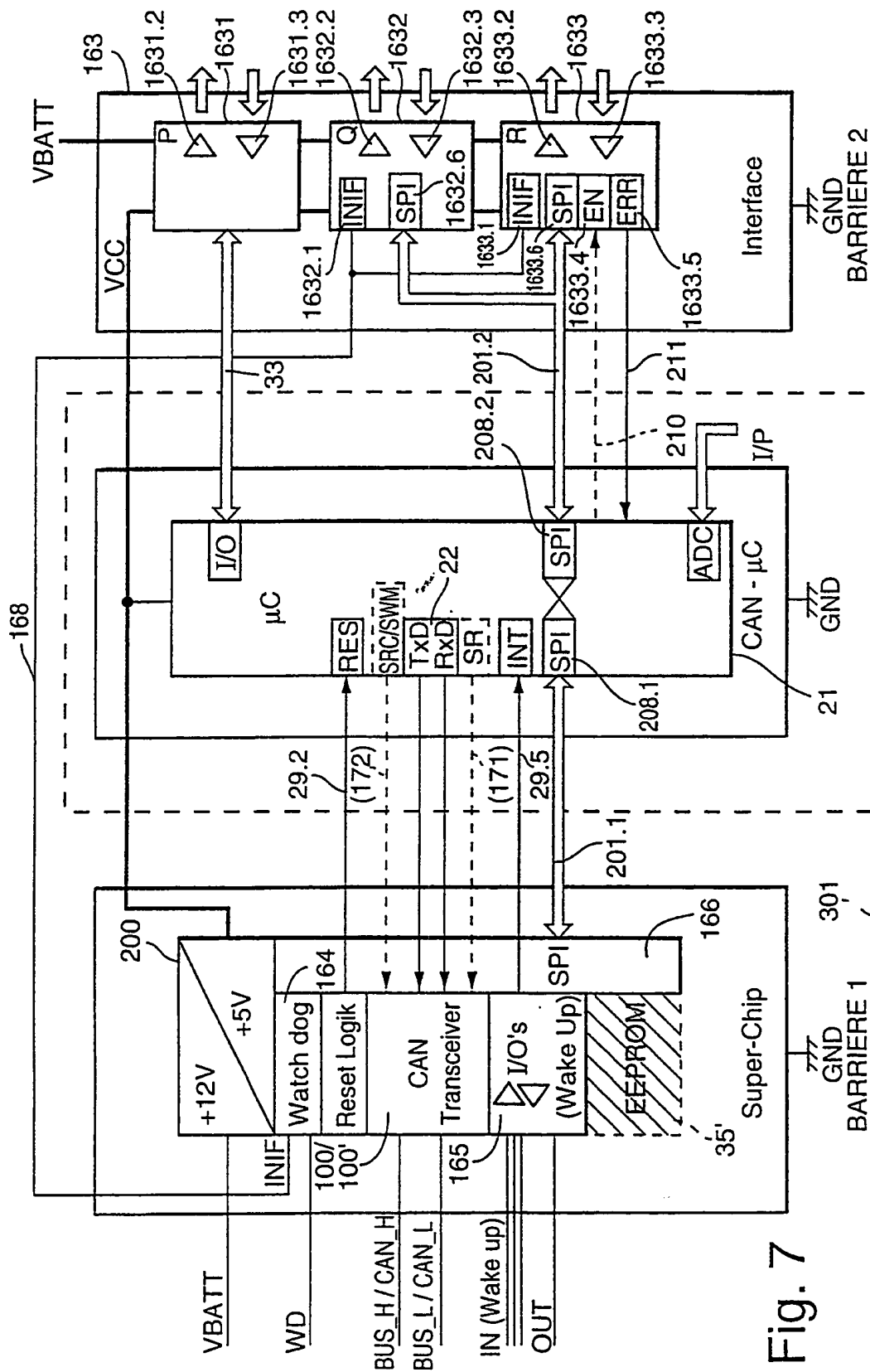


Fig. 7

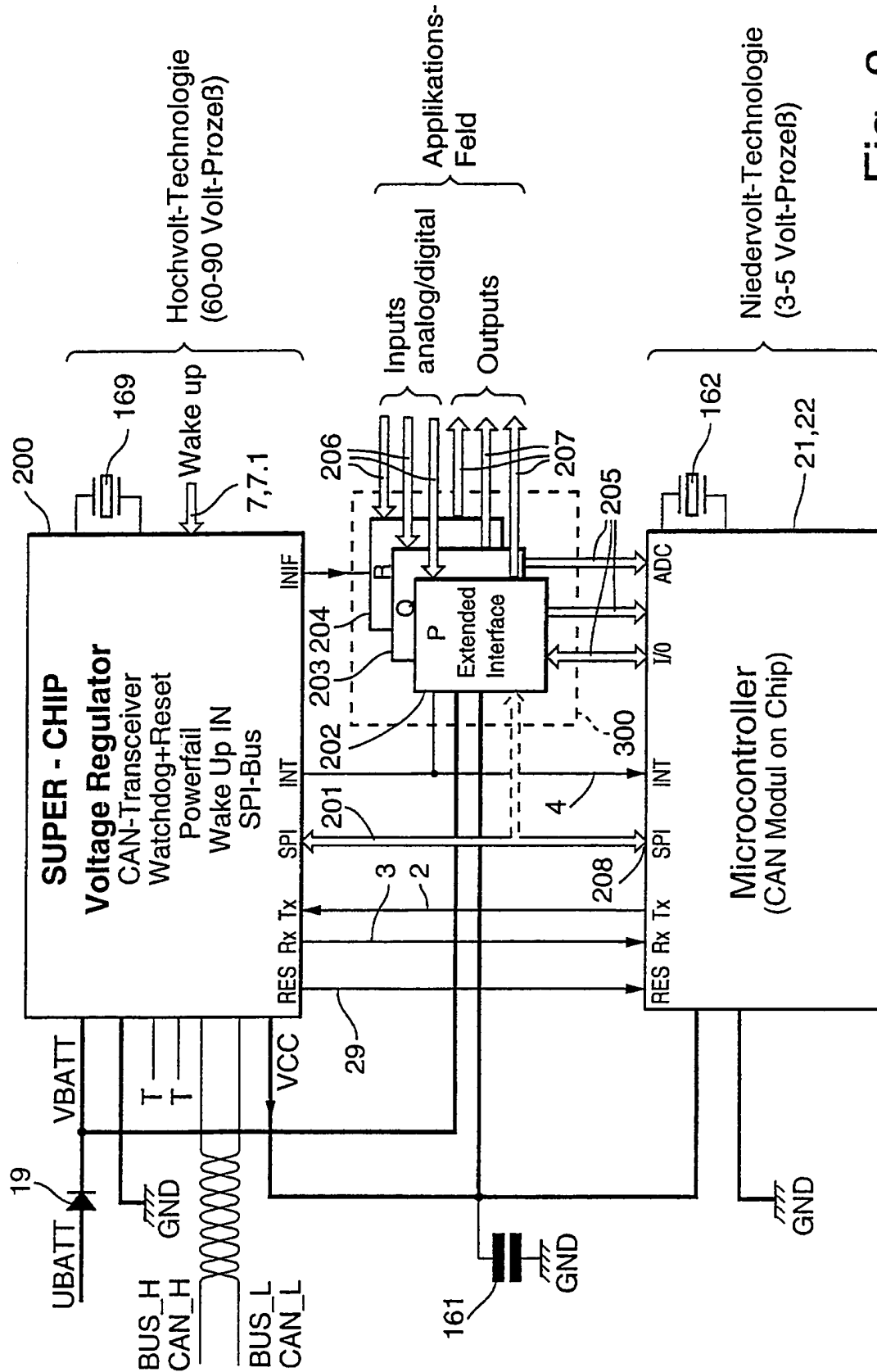


Fig. 8